

IN THE U.S. PATENT AND TRADEMARK OFFICE

Applicant: MATOBA, Kazuaki et al. Conf.:

Appl. No.: NEW Group:

Filed: July 21, 2003 Examiner:

For: SCALING METHOD AND APPARATUS USING APPROXIMATE SIMPLIFIED SCALING FACTORS

L E T T E R

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

July 21, 2003

Sir:

Under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55(a), the applicant(s) hereby claim(s) the right of priority based on the following application(s):

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
JAPAN	2002-376720	December 26, 2002

A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to Deposit Account No. 02-2448 for any additional fee required under 37 C.F.R. §§ 1.16 or 1.17; particularly, extension of time fees.

Respectfully submitted,

BIRCH, STEWART, KOLASCH & BIRCH, LLP

By 
Michael K. Mutter, #29,680

MKM/sll
1190-0573P

P.O. Box 747
Falls Church, VA 22040-0747
(703) 205-8000

Attachment(s)

(Rev. 04/29/03)

日本国特許庁
JAPAN PATENT OFFICE

MATOBA et al
July 21, 2003
B6KB, U.P
(703)2068000
11900573P
10F 1

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年12月26日

出願番号

Application Number:

特願2002-376720

[ST.10/C]:

[JP2002-376720]

出願人

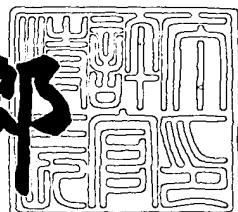
Applicant(s):

三菱電機株式会社

2003年 3月14日

特許庁長官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3016292

【書類名】 特許願

【整理番号】 543025JP01

【提出日】 平成14年12月26日

【あて先】 特許庁長官殿

【国際特許分類】 G06T 3/40

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

【氏名】 的場 一彰

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

【氏名】 玉野 幸平

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100083840

【弁理士】

【氏名又は名称】 前田 実

【選任した代理人】

【識別番号】 100116964

【弁理士】

【氏名又は名称】 山形 洋一

【手数料の表示】

【予納台帳番号】 007205

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0103117

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 画素数変換方法及び画素数変換装置

【特許請求の範囲】

【請求項1】 入力される原画像信号における水平方向及び垂直方向の画素数を出力先の水平方向及び垂直方向の画素数に適応させるために変換する装置の画素数変換方法であって、

入力される原画像信号を画像信号メモリ部に格納するステップと、

入力画素の解像度と出力画素の解像度との比率を示す原変換率と、変換処理中に使用する上側及び下側近似簡略化変換率を原変換率から生成する際の制限値を入力させるステップと、

原変換率に近似し且つ原変換率よりも大きい数値である上位側の変換率であって分母及び分子共に小さい整数値により簡略化されて表現される上側近似簡略化変換率と、原変換率に近似し且つ原変換率よりも小さい数値である下位側の変換率であって分母及び分子共に小さい整数値により簡略化されて表現される下側近似簡略化変換率を演算し、さらに、上側近似簡略化変換率と下側近似簡略化変換率を利用して、水平方向の各1行毎及び垂直方向の各1列毎に前記両近似簡略化変換率の部分が繰り返される数である各繰り返し数を演算するステップと、

前記上側近似簡略化変換率及び下側近似簡略化変換率に基づき、前記上側近似簡略化変換率及び下側近似簡略化変換率に対応する上側及び下側の補間係数を生成して補間係数メモリ部に格納するステップと、

前記両近似簡略化変換率に基づいて画像信号メモリ部から読み出す参照画素のアドレス情報と、下側近似簡略化変換率による画素数変換を行うか上側近似簡略化変換率による画素数変換を行うかを選択する選択信号、参照画素と変換画素の位相差を生成するステップと、

前記画像信号メモリ部に格納された原画像信号から参照画素のアドレス情報に基づいて前記原画像信号を読み出すステップと、

前記原画像信号に対して、前記選択信号で選択された補間係数に基づく補間演算を実施して出力するステップ

を有することを特徴とする画素数変換方法。

【請求項2】 前記上側近似簡略化変換率及び下側近似簡略化変換率を演算するステップでは、簡略化された整数値に対して制限値を設けることを特徴とする請求項1に記載の画素数変換方法。

【請求項3】 前記補間演算を実施して出力するステップでは、前記上側近似簡略化変換率を使用した少なくとも1部分以上の変換と、前記下側近似簡略化変換率を使用した少なくとも1部分以上の変換とを組み合わせて前記原画像信号を変換する

ことを特徴とする請求項1または2に記載の画素数変換方法。

【請求項4】 前記下側近似簡略化変換率を演算するステップでは、原変換率が真分数である場合には、原変換率を単位分数に分解し、加算結果の分母が前記制限値以下の範囲となるように分母の小さい単位分数から順に加算する

ことを特徴とする請求項2または3に記載の画素数変換方法。

【請求項5】 前記下側近似簡略化変換率を演算するステップでは、原変換率が仮分数である場合には、原変換率を帯分数に変換し、該帯分数の分数部については単位分数に分解し、前記帯分数の整数部に、加算結果の帯分数分子が前記制限値以下の範囲となるように分母の小さい単位分数から順に加算する

ことを特徴とする請求項2または3に記載の画素数変換方法。

【請求項6】 前記下側近似簡略化変換率の繰り返し数を演算するステップでは、前記原変換率、前記下側近似簡略化変換率及び前記制限値から演算する

ことを特徴とする請求項4または5に記載の画素数変換方法。

【請求項7】 前記上側近似簡略化変換率及びその繰り返し数を演算するステップでは、原変換率、前記下側近似簡略化変換率及びその繰り返し数から演算する

ことを特徴とする請求項6に記載の画素数変換方法。

【請求項8】 前記画像信号メモリ部から読み出す参照画素のアドレス情報を生成するステップでは、前記上側近似簡略化変換率の繰り返し数の累積加算結果と、下側近似簡略化変換率の繰り返し数の累積加算結果とを大小比較することにより、次に続く画素のアドレス情報を生成する

ことを特徴とする請求項1～7の何れかに記載の画素数変換方法。

【請求項9】 前記上側及び下側の補間係数を生成して補間係数メモリ部に格納するステップ、前記参照画素のアドレス情報と選択信号と位相差を生成するステップ、前記補間演算を実施して出力するステップに代えて、

前記両近似簡略化変換率に基づいて画像信号メモリ部から読み出す参照画素のアドレス情報と、下側近似簡略化変換率による画素数変換を行うか上側近似簡略化変換率による画素数変換を行うかを選択する選択信号、参照画素と変換画素の位相差を生成し、前記上側近似簡略化変換率及び下側近似簡略化変換率、下側近似簡略化変換率を出力するステップと、

前記上側近似簡略化変換率及び下側近似簡略化変換率、前記選択信号、前記位相差に基づき、前記上側及び下側の補間係数を生成するステップと、

前記原画像信号に対して、前記生成された補間係数に基づく補間演算を実施して出力するステップ

を有することを特徴とする請求項1～8の何れかに記載の画素数変換方法。

【請求項10】 入力される原画像信号における水平方向及び垂直方向の画素数を出力先の水平方向及び垂直方向の画素数に適応させるために変換する装置であって、

入力される原画像信号を格納する画像信号メモリ部と、

入力される水平方向及び垂直方向の画素数と出力先の水平方向及び垂直方向の画素数との比率を示す原変換率を、原変換率に近似し且つ原変換率よりも大きい数値である上位側の変換率であって分母及び分子共に小さい整数値により簡略化されて表現される上側近似簡略化変換率と、原変換率に近似し且つ原変換率よりも小さい数値である下位側の変換率であって分母及び分子共に小さい整数値により簡略化されて表現される下側近似簡略化変換率と、水平方向の各1行毎及び垂直方向の各1列毎に前記両近似簡略化変換率の部分が繰り返される数である各繰り返し数を生成する近似簡略化変換率生成手段と、

前記上側近似簡略化変換率及び下側近似簡略化変換率に基づき、前記上側近似簡略化変換率及び下側近似簡略化変換率に対応する上側及び下側の補間係数を生成する補間係数生成手段と、

前記上側及び下側の補間係数を格納する補間係数メモリ部と、

前記画像信号メモリ部の原画像信号における水平方向の各1行毎及び垂直方向の各1列毎に前記両近似簡略化変換率に基づいて前記画像信号メモリ部から読み出す参照画素のアドレス情報と、下側近似簡略化変換率による画素数変換を行うか上側近似簡略化変換率による画素数変換を行うかを選択する選択信号、参照画素と変換画素の位相差を生成するアドレス情報生成部と、

前記画像信号メモリ部へ原画像信号を書き込むと共に、前記アドレス情報生成部から受信した前記画像信号メモリ部から読み出す参照画素のアドレス情報に基づいて前記画像信号メモリ部から原画像信号を読み出すメモリ制御部と、

前記画像信号メモリ部から読み出された原画像信号に対して、前記補間係数メモリ部から選択された補間係数に基づく補間演算を実施する補間演算部を備えることを特徴とする画素数変換装置。

【請求項11】 前記近似簡略化変換率生成手段は、前記上側近似簡略化変換率及び下側近似簡略化変換率における簡略化された整数値に対して、制限値を設ける

ことを特徴とする請求項10に記載の画素数変換装置。

【請求項12】 前記補間演算部は、水平方向の各1行毎及び垂直方向の各1列毎の原画像信号を、前記上側近似簡略化変換率を使用した前記各1行及び前記各1列の少なくとも1部分以上の変換と、前記下側近似簡略化変換率を使用した前記各1行及び前記各1列の少なくとも1部分以上の変換とを組み合わせて変換する

ことを特徴とする請求項10または11に記載の画素数変換装置。

【請求項13】 前記近似簡略化変換率生成手段は、原変換率が真分数である場合、原変換率から下側近似簡略化変換率を生成する際には、原変換率を単位分数に分解し、加算結果の分母が前記制限値以下の範囲となるように分母の小さい単位分数から順に加算することにより生成する

ことを特徴とする請求項11または12に記載の画素数変換装置。

【請求項14】 前記近似簡略化変換率生成手段は、原変換率が仮分数である場合、原変換率から下側近似簡略化変換率を生成する際には、原変換率を帯分数に変換し、該帯分数の分数部については単位分数に分解し、前記帯分数の整数

部に、加算結果の帯分数分子が前記制限値以下の範囲となるように分母の小さい単位分数から順に加算することにより生成する

ことを特徴とする請求項11または12に記載の画素数変換装置。

【請求項15】 前記近似簡略化変換率生成手段は、前記下側近似簡略化変換率の繰り返し数を生成する際には、前記原変換率、前記下側近似簡略化変換率及び前記制限値から演算することにより生成する

ことを特徴とする請求項13または14に記載の画素数変換装置。

【請求項16】 前記近似簡略化変換率生成手段は、原変換率から上側近似簡略化変換率及びその繰り返し数を生成する際には、原変換率、前記下側近似簡略化変換率及びその繰り返し数から演算することにより生成する

ことを特徴とする請求項15に記載の画素数変換装置。

【請求項17】 前記アドレス情報生成部は、前記各1行及び前記各1列における前記上側近似簡略化変換率の繰り返し数の累積加算結果と、下側近似簡略化変換率の繰り返し数の累積加算結果とを大小比較することにより、次に続く画素のアドレス情報を生成する

ことを特徴とする請求項10～16の何れかに記載の画素数変換装置。

【請求項18】 前記補間係数生成手段と、前記補間係数メモリ部と、前記アドレス情報生成部と、前記補間演算部に代えて、

前記画像信号メモリ部の原画像信号における水平方向の各1行毎及び垂直方向の各1列毎に前記両近似簡略化変換率に基づいて前記画像信号メモリ部から読み出す参照画素のアドレス情報と、下側近似簡略化変換率による画素数変換を行うか上側近似簡略化変換率による画素数変換を行うかを選択する選択信号、参照画素と変換画素の位相差を生成し、前記上側近似簡略化変換率及び下側近似簡略化変換率、下側近似簡略化変換率を出力するアドレス情報生成部と、

前記上側近似簡略化変換率及び下側近似簡略化変換率、前記選択信号、前記位相差に基づき、前記上側近似簡略化変換率及び下側近似簡略化変換率に対応する上側及び下側の補間係数を生成する補間係数生成手段と、

前記画像信号メモリ部から読み出された原画像信号に対して、前記補間係数メモリ部で生成された補間係数に基づく補間演算を実施する補間演算部

を備えることを特徴とする請求項10～17の何れかに記載の画素数変換装置

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、例えば、縦横の画素（ドット）数が規定されている任意の画像表示フォーマットで入力される原画像信号を、異なる縦横の画素数の画像表示フォーマットに設定されている表示装置に表示させる場合等に、原画像信号の縦横の画素数を変換して表示装置に適合させた信号にして出力する画素数変換方法及び装置に関し、特に、所定の画像表示フォーマットに基づいて設計される液晶パネル、プラズマ・ディスプレイ・パネル（PDP）、あるいはデジタル・マイクロミラー・デバイス（DMD）等のドットマトリクス型表示デバイス等に画像を表示させる際の画素数変換方法及び装置に関する。

【0002】

【従来の技術】

従来の画素数変換装置は、例えば、画像信号メモリ、補間係数メモリ、画素数変換制御部、メモリアドレスの生成部、及び、補間演算部等を備え、画像信号メモリから読み出した原画像信号を、所定の補間係数に従って補間演算し、出力先のメモリアドレスに出力することで、上記した拡大処理あるいは縮小処理を実施しており、入力する原画像信号の画像表示フォーマットを表示装置のフォーマットに合わせて変換する場合には、例えば、入力画像信号を拡大（伸張）する際には、原画像信号の画素列における所定数画素間にダミーの画素を追加することで足りない画素を補間して変換している。また、逆に入力画像信号を縮小（圧縮）させる際には、元の信号の画素からサンプリング処理等で間引きすることにより変換している。

【0003】

また、補間係数は、入力される原画像信号の解像度を分母とし、出力される変換後の画像信号の解像度を分子とする分数で示される比率である。上記した拡大する場合の所定数画素間にダミー画素を追加する場合には、例えば、入力解像度

を分母として入力解像度と出力解像度の差分を分子とした比率でダミー画素を挿入する。なお、以下の本明細書中では、説明の便宜上から、入力画像信号を拡大する場合のみでなく縮小する場合にも、補間係数及び補間演算という用語を用いる。

【0004】

従来は、例えば、入力画像信号に対する圧縮・伸張処理あるいはサンプリング処理の周波数変換等には高速動作が必要になることから高いクロック周波数が求められがちであった。そのため、入力画像信号と出力画像信号のサンプリング周波数のみを用いて、圧縮・伸張処理及びサンプリング周波数の変換処理を実施する画像信号処理装置が知られている。その中では、例えば、画素数の変換率に応じて補間係数の生成及び原画像から参照画素の読み出し制御が実施され、参照画素と補間係数を積和演算することにより画素数変換処理が実施される（例えば、特許文献1参照）。

【0005】

また、従来は、画素数変換を正確に実施するためには、メモリ制御部が、出力側解像度の画面の縦横方向画面サイズ比率に正確に一致するように入力側解像度を変更する指示を出力する必要があったが、メモリ制御部の機能は単純なことに限定されていた。そのため、予め記憶された複数通りの何れかである第一の比率と第二の比率の組み合わせを用い、第一の比率で画素数の変換を行った後に、第二の比率で画素数の変換を再度行うようにして、トータルの比率で出力側の画面サイズ比率に一致させる画像補間処理装置が知られている（例えば、特許文献2参照）。

【0006】

【特許文献1】

特開平9-181970号公報（第5-7頁、第1図）

【特許文献2】

特開2001-229372号公報（第7-8頁、第1図）

【0007】

【発明が解決しようとする課題】

しかしながら、上記した特許文献2のような従来の画素数変換装置では、任意の画素数変換率に対応させるためには、画素数変換率を P/Q とすれば P 通りの補間係数の組合せを必要としていた。例えば、画素数変換率を $128/225$ (縮小) とした場合には、 128 通りの補間係数の組合せを必要とし、画素数変換率を $463/175$ (拡大) とした場合には、 463 通りの補間係数の組合せを必要としていた。従って、任意の正確な変換率を得るために無限の補間係数の組合せが必要になるが、補間係数のメモリ容量は有限であることから現実的ではないという問題があった。また、上記のように画素数変換率 P/Q の分子 P あるいは分母 Q の値が大きくなる場合、補間係数メモリや制御系の回路規模が大きくなるという問題があった。

【0008】

また、上記のように所定の比率で画素数の変換を複数回行う場合、メモリ制御部は単純化できても処理途中の画像信号を格納する画像信号メモリが新たに必要になりメモリ自体の回路規模が増大する。さらに、その中間処理用の画像信号メモリと演算手段との間で頻繁に画素データの転送が必要になり、演算手段でも画素数の変換を制御するために複雑な処理が必要になることから、制御回路の規模も増大するという問題があった。

【0009】

本発明は、上述のような課題を解決するためになされたもので、第1の目的は、画素数変換率 P/Q の分子 P あるいは分母 Q の値が大きな値をとり得る場合でも、任意の画素数変換率を小さな補間係数メモリで実現し、回路規模の増大を抑制することができる画素数変換装置を得ることである。

【0010】

第2の目的は、画素数の変換を複数の比率を利用して実施する場合でも、処理中の画素データの転送量を抑制することができる画素数変換装置を得ることである。

【0011】

【課題を解決するための手段】

上述した目的を達成するため、本発明の画素数変換方法は、入力される原画像

信号における水平方向及び垂直方向の画素数を出力先の水平方向及び垂直方向の画素数に適応させるために変換する装置の画素数変換方法であって、

入力される原画像信号を画像信号メモリ部に格納するステップと、

入力画素の解像度と出力画素の解像度との比率を示す原変換率と、変換処理中に使用する上側及び下側近似簡略化変換率を原変換率から生成する際の制限値を入力させるステップと、

原変換率に近似し且つ原変換率よりも大きい数値である上位側の変換率であって分母及び分子共に小さい整数値により簡略化されて表現される上側近似簡略化変換率と、原変換率に近似し且つ原変換率よりも小さい数値である下位側の変換率であって分母及び分子共に小さい整数値により簡略化されて表現される下側近似簡略化変換率を演算するステップと、

上側近似簡略化変換率と下側近似簡略化変換率を利用して、水平方向の各1行毎及び垂直方向の各1列毎に前記両近似簡略化変換率の部分が繰り返される数である各繰り返し数を演算するステップと、

上側近似簡略化変換率及び下側近似簡略化変換率に基づき、上側近似簡略化変換率及び下側近似簡略化変換率に対応する上側及び下側の補間係数を生成して補間係数メモリ部に格納するステップと、

両近似簡略化変換率に基づいて画像信号メモリ部から読み出す参照画素のアドレス情報と、下側近似簡略化変換率による画素数変換を行うか上側近似簡略化変換率による画素数変換を行うかを選択する選択信号、参照画素と変換画素の位相差を生成するステップと、

画像信号メモリ部に格納された原画像信号から参照画素のアドレス情報に基づいて原画像信号を読み出すステップと、

原画像信号に対して、選択信号で選択された補間係数に基づく補間演算を実施して出力するステップを有する。

【0012】

また、本発明の画素数変換装置は、入力される原画像信号における水平方向及び垂直方向の画素数を出力先の水平方向及び垂直方向の画素数に適応させるために変換する装置であって、

入力される原画像信号を格納する画像信号メモリ部と、
入力される水平方向及び垂直方向の画素数と出力先の水平方向及び垂直方向の
画素数との比率を示す原変換率を、原変換率に近似し且つ原変換率よりも大きい
数値である上位側の変換率であって分母及び分子共に小さい整数値により簡略化
されて表現される上側近似簡略化変換率と、原変換率に近似し且つ原変換率よりも
小さい数値である下位側の変換率であって分母及び分子共に小さい整数値により
簡略化されて表現される下側近似簡略化変換率と、水平方向の各1行毎及び垂直
方向の各1列毎に両近似簡略化変換率の部分が繰り返される数である各繰り返
し数を生成する近似簡略化変換率生成手段と、

上側近似簡略化変換率及び下側近似簡略化変換率に基づき、上側近似簡略化変
換率及び下側近似簡略化変換率に対応する上側及び下側の補間係数を生成する補
間係数生成手段と、

上側及び下側の補間係数を格納する補間係数メモリ部と、
画像信号メモリ部の原画像信号における水平方向の各1行毎及び垂直方向の各
1列毎に両近似簡略化変換率に基づいて画像信号メモリ部から読み出す参照画素
のアドレス情報を生成すると共に、下側近似簡略化変換率による画素数変換を行
うか上側近似簡略化変換率による画素数変換を行うかを選択する選択信号、参照
画素と変換画素の位相差を生成するアドレス情報生成部と、

画像信号メモリ部へ原画像信号を書き込むと共に、アドレス情報生成部から受
信した画像信号メモリ部から読み出す参照画素のアドレス情報に基づいて画像信
号メモリ部から原画像信号を読み出すメモリ制御部と、

画像信号メモリ部から読み出された原画像信号に対して、補間係数メモリ部か
ら選択された補間係数に基づく補間演算を実施する補間演算部を備える。

【0013】

【発明の実施の形態】

以下、本発明をその実施の形態を示す図面に基づいて具体的に説明する。

【0014】

実施の形態1.

図1は、本発明の実施の形態1である画素数変換装置の構成を示すブロック図

であり、図2は、図1の入出力信号及び補間演算部を更に詳しく示したブロック図である。

【0015】

画像信号メモリ部1では、原画像信号の画素データ d_{in} が入力されて一時的に格納されると共に、アドレス $d(x, y)$ 等が指定されて読み出された画素データを補間演算部2に出力する。

【0016】

補間演算部2では、画像信号メモリ部1から読み出されたアドレス $d(x, y)$ 等の原画像信号の画素データに、まず、垂直方向の補間演算を行う垂直方向補間演算部2a及び2bに入力されて補間係数メモリ部7から読み出された補間係数 H_y, G_y に基づく補間演算を実施し、その演算結果に対してさらに、水平方向の補間演算を行う水平方向補間演算部2cに出力されて補間係数メモリ部から選択された補間係数 H_x, G_x に基づく補間演算を実施し、変換された画像信号 d_{out} を後段の表示装置等（不図示）に出力する。また、補間演算部2は、水平方向の各1行毎及び垂直方向の各1列毎の原画像信号 $D(x), D(x+1)$ 等を、後述する上側近似簡略化変換率を使用した各1行及び各1列の少なくとも1部分以上の変換と、後述する下側近似簡略化変換率を使用した各1行及び各1列の少なくとも1部分以上の変換とを組み合わせて変換する。

【0017】

制御部3は、本実施の形態1の画素数変換装置の各部1～7等を制御することにより全体を制御すると共に、後述する画素数変換制御部4に対して、入力される水平方向及び垂直方向の画素数と出力先の水平方向及び垂直方向の画素数との比率を示す原変換率 P_h/Q_h （水平方向）、 P_v/Q_v （垂直方向）、及び、垂直方向と水平方向のそれぞれについての変換率における分子及び分母の制限値（あるいは制限桁数） T_v （垂直方向）、 T_h （水平方向）を出力する。

【0018】

画素数変換制御部4は、近似簡略化変換率生成手段11と補間係数生成手段12から構成され、垂直画素数の原変換率 P_v/Q_v の分子 P_v と分母 Q_v 、水平画素数の原変換率 P_h/Q_h の分子 P_h と分母 Q_h 、及び P_v と Q_v の制限値を

示す T_v と、 P_h と Q_h の制限値を示す T_h が供給され、 垂直方向と水平方向のそれぞれについて下側／上側近似簡略化変換率と補間係数の生成を行う。また、 画素数変換制御部4は、 生成した各近似簡略化変換率情報をアドレス情報生成部5に出力すると共に、 生成した補間係数を補間係数メモリ部7に出力する。

【0019】

画素数変換制御部4内の近似簡略化変換率生成手段11では、 原変換率 P_h / Q_h (水平方向) 、 P_v / Q_v (垂直方向) を、 原変換率に近似し且つ原変換率よりも大きい数値である上位側の変換率であって分母及び分子共に小さい整数値により簡略化されて表現される上側近似簡略化変換率と、 原変換率に近似し且つ原変換率よりも小さい数値である下位側の変換率であって分母及び分子共に小さい整数値により簡略化されて表現される下側近似簡略化変換率と、 水平方向の各1行毎及び垂直方向の各1列毎に両近似簡略化変換率の部分が繰り返される数である各繰り返し数を生成する。

【0020】

また、 近似簡略化変換率生成手段11は、 上側近似簡略化変換率及び下側近似簡略化変換率における簡略化された整数値に対して制限値を設け、 原変換率 P_h / Q_h (水平方向) 、 P_v / Q_v (垂直方向) が真分数である場合、 原変換率から下側近似簡略化変換率を生成する際には、 原変換率を単位分数に分解し、 加算結果の分母が前記制限値以下の範囲となるように分母の小さい単位分数から順に加算することにより生成する。一方、 原変換率 P_h / Q_h (水平方向) 、 P_v / Q_v (垂直方向) が仮分数である場合、 近似簡略化変換率生成手段11は、 原変換率から下側近似簡略化変換率を生成する際には、 原変換率を帯分数に変換し、 その帯分数の分数部については単位分数に分解し、 帯分数の整数部に、 加算結果の帯分数分子が制限値以下の範囲となるように分母の小さい単位分数から順に加算することにより生成する。

【0021】

また、 近似簡略化変換率生成手段11は、 下側近似簡略化変換率の繰り返し数を生成する際には、 原変換率 P_h / Q_h (水平方向) 、 P_v / Q_v (垂直方向) の分母、 下側近似簡略化変換率の分母及び制限値から演算することにより生成し

、原変換率から上側近似簡略化変換率及びその繰り返し数を生成する際には、原変換率 P_h / Q_h (水平方向)、 P_v / Q_v (垂直方向)、下側近似簡略化変換率及びその繰り返し数から演算することにより生成する。

【0022】

画素数変換制御部4内の補間係数生成手段12では、上側近似簡略化変換率及び下側近似簡略化変換率に基づき、上側近似簡略化変換率及び下側近似簡略化変換率に対応する上側及び下側の補間係数 H_x 、 H_y 、 G_x 、 G_y を生成する。

【0023】

アドレス情報生成部5は、出力画像の画素データ d_{out} に同期した垂直同期信号 V_r 、水平同期信号 H_r 、及び、近似簡略化変換率生成手段11で生成された垂直方向と水平方向のそれぞれについての上側／下側近似簡略化変換率及びそれらの繰り替えし数が供給される。そして、画像信号メモリ部1から画素データを読み出すためのアドレス情報、及び、補間係数メモリ部7から補間係数を読み出すためのアドレス情報が生成される。

【0024】

また、アドレス情報生成部5は、画像信号メモリ部1の原画像信号における水平方向の各1行毎及び垂直方向の各1列毎に両近似簡略化変換率に基づいて画像信号メモリ部1から読み出す画素のアドレス情報を生成すると共に、下側近似簡略化変換率による画素数変換を行うか上側近似簡略化変換率による画素数変換を行うかを選択する選択信号、参照画素と変換画素の位相差を生成する。各1行及び各1列における上側近似簡略化変換率の繰り返し数の累積加算結果と、下側近似簡略化変換率の繰り返し数の累積加算結果とを大小比較することにより、次に続く画素のアドレス情報を生成する。

【0025】

メモリ制御部6は、原画像の画素データ d_{in} に同期した垂直同期信号 V_w と水平同期信号 H_w が供給され、画像信号メモリ部1に原画像信号を書き込み制御を行うと共に、アドレス情報生成部5から受信する画像信号メモリ部1から読み出す画素のアドレス情報に基づいて原画像信号の読み出し制御を行う。

【0026】

補間係数メモリ部7は、補間係数生成手段12にて生成された上側及び下側の補間係数を一時的に格納し、アドレス情報生成部5からのアドレス情報に基づいて補間係数を読み出し、補間演算部2(2a、2b及び2c)に供給する。

【0027】

図3は、図1、2に示した画素数変換装置の動作を示すフローチャートである。

本実施の形態の画素数変換装置に入力される原画像信号dinは画像信号メモリ部1に一時的に格納される(S1)。また、入力画素の解像度と出力画素の解像度との比率を示す原変換率と、変換処理中に使用する上側及び下側近似簡略化変換率を原変換率から生成する際の制限値とが、画素数変換制御部4内の近似簡略化変換率生成手段11に入力される(S2)。

【0028】

近似簡略化変換率生成手段11では、原変換率に近似し且つ原変換率よりも大きい数値である上位側の変換率であって分母及び分子共に小さい整数値により簡略化されて表現される上側近似簡略化変換率と、原変換率に近似し且つ原変換率よりも小さい数値である下位側の変換率であって分母及び分子共に小さい整数値により簡略化されて表現される下側近似簡略化変換率を演算する。また、その際の簡略化された整数値に対しては制限値が設けられる。

【0029】

具体的には、まず、原変換率が真分数か否か(仮分数か?)を判断し(S3)、原変換率が真分数である場合(S3: YES)には、近似簡略化変換率生成手段11は、原変換率を単位分数に分解し、加算結果の分母が前記制限値以下の範囲となるように分母の小さい単位分数から順に加算することにより下側近似簡略化変換率を演算して生成する(S4)。また、原変換率が真分数ではなく仮分数である場合(S3: NO)には、近似簡略化変換率生成手段11は、原変換率を帯分数に変換し、該帯分数の分数部については単位分数に分解し、前記帯分数の整数部に、加算結果の帯分数分子が前記制限値以下の範囲となるように分母の小さい単位分数から順に加算することにより、下側近似簡略化変換率を生成する(S5)。

【0030】

近似簡略化変換率生成手段11では、さらに、原変換率の分母数、下側近似簡略化変換率の分母数及び制限値を利用して、水平方向の各1行毎及び垂直方向の各1列毎に下側近似簡略化変換率の部分が繰り返される数である各繰り返し数を演算する。具体的には、例えば、近似簡略化変換率生成手段11は、下側近似簡略化変換率の繰り返し数については、原変換率の分母数、下側近似簡略化変換率の分母数及び制限値から各繰り返し数を演算し(S6)、上側近似簡略化変換率の繰り返し数については、原変換率、下側近似簡略化変換率及びその繰り返し数から演算する(S7)。そして、上記した各演算結果は、アドレス情報生成部5に出力され、また、上側／下側近似簡略化変換率の分母数は補正係数生成手段12に出力される。

【0031】

補間係数生成手段12では、上側近似簡略化変換率及び下側近似簡略化変換率に基づき、上側近似簡略化変換率及び下側近似簡略化変換率に対応する上側及び下側の各補間係数H_y、H_x、G_y、G_xを生成して補間係数メモリ部7に出力し(S8)、補間係数メモリ部7では受信した各補間係数を格納する(S9)。

【0032】

アドレス情報生成部5では、両近似簡略化変換率に基づいて画像信号メモリ部1から読み出す画素のアドレス情報と、下側近似簡略化変換率による画素数変換を行うか上側近似簡略化変換率による画素数変換を行うかを選択する選択信号、参照画素と変換画素の位相差を生成する。具体的には、例えば、アドレス情報生成部5は、上側近似簡略化変換率の繰り返し数の累積加算結果と、下側近似簡略化変換率の繰り返し数の累積加算結果とを大小比較することにより、次に続く画素のアドレス情報を生成する(S10)。

【0033】

メモリ制御部6では、アドレス情報生成部5から受信した画像信号メモリ部1のアドレス情報に基づいて、画像信号メモリ部1から該当する原画像信号を読み出す(S11)。

【0034】

補間演算部2では、読み出された原画像信号に対して、選択信号で選択された補間係数に基づく補間演算を実施して出力する。具体的には、補間演算部2は、原画像信号を、上側近似簡略化変換率を使用した少なくとも1部分以上の変換と、下側近似簡略化変換率を使用した少なくとも1部分以上の変換と、を組み合わせて変換（補間演算）する（S12）。

【0035】

図4は、図1、2中の画素数変換制御部4における入出力信号のさらに詳しく示した一例のブロック図である。

【0036】

同図において、近似簡略化変換率生成手段11は、以下の動作を実施する。

(a) 垂直画素数の原変換率を示す要素のPv、Qv及び制限値Tvから下側近似簡略化（以下、第一と記載する）の垂直画素数変換率を示す要素のPv0、Qv0、及び、上側近似簡略化（以下、第二と記載する）の垂直画素数変換率を示す要素のPv1、Qv1を演算して生成すると共に、第一の垂直画素数変換率を出力画像フォーマットの縦1列中で繰り返す部分の数を示すAv、及び、第二の垂直画素数変換率を出力画像フォーマットの縦1列中で繰り返す部分の数を示すBvを生成する。

【0037】

(b) 生成された各Pv0、Qv0、Pv1、Qv1、Av及びBvをアドレス情報生成部5に供給すると共に、Pv0及びPv1を補間係数生成手段12に供給する。

【0038】

(c) 水平画素数変換率を示す要素Ph、Qh及び制限値Thから下側近似簡略化（以下、第一と記載する）の水平画素数変換率を示す要素Ph0、Qh0、及び、上側近似簡略化（以下、第二と記載する）の水平画素数変換率を示す要素Ph1、Qh1を演算して生成すると共に、第一の水平画素数変換率を出力画像フォーマットの横1行中で繰り返す部分の数を示すAh、及び、第二の水平画素数変換率を出力画像フォーマットの横1行中で繰り返す部分の数を示すBhを生成する。

【0039】

(d) 生成された P_{h0} 、 Q_{h0} 、 P_{h1} 、 Q_{h1} 、 A_h 及び B_h をアドレス情報生成部 5 に供給すると共に、 P_{h0} 及び P_{h1} を補間係数生成手段 12 に供給する。

【0040】

また、補間係数生成手段 12 は、以下の動作を実施する。

(e) 第一の垂直画素数変換率の要素 P_{v0} に応じた補間係数 K_{v0} 及び第二の垂直画素数変換率の要素 P_{v1} に応じた補間係数 K_{v1} を生成し、生成した補間係数 K_{v0} 及び K_{v1} を補間係数メモリ部 7 に供給する。

【0041】

(f) 第一の水平画素数変換率の要素 P_{h0} に応じた補間係数 K_{h0} 及び第二の水平画素数変換率の要素 P_{h1} に応じた補間係数 K_{h1} を生成し、生成した補間係数 K_{h0} 及び K_{h1} を補間係数メモリ部 7 に供給する。

【0042】

次に、近似簡略化変換率生成手段 11 における下側及び上側近似簡略化変換率の生成についてさらに説明する。

【0043】

第一の垂直画素数変換率 P_{0v}/Q_{0v} を出力画像フォーマットの縦 1 列中で繰り返す部分の数を示す A_v 、第二の垂直画素数変換率 P_{1v}/Q_{1v} を出力画像フォーマットの縦 1 列中で繰り返す部分の数を示す B_v 、第一の水平画素数変換率 P_{0h}/Q_{0h} を出力画像フォーマットの横 1 行中で繰り返す部分の数を示す A_h 、及び、第二の水平画素数変換率 P_{1h}/Q_{1h} を出力画像フォーマットの横 1 行中で繰り返す部分の数を示す B_h は、原画像信号の画像フォーマットにおける縦横の画素数を、出力側表示装置等の画像フォーマットにおける縦横の画素数に一致させるために求められる。

【0044】

そのために、本実施の形態では、垂直画素数の原変換率 P_v/Q_v から、制限値 T_v 以下の整数である P_{0v} 、 P_{1v} 、 Q_{0v} 及び Q_{1v} を用いて、第一の垂直画素数変換率 P_{0v}/Q_{0v} と第二の垂直画素数変換率 P_{1v}/Q_{1v} を生成

する。

【0045】

図4に示した P_v 、 Q_v 、 P_0v 、 Q_0v 、 P_1v 、 Q_1v 、 A_v 及び B_v には以下に示す関係式が成り立つ。

$$P_v/Q_v \doteq P_0v/Q_0v \quad \dots \quad (1)$$

$$P_v/Q_v \doteq P_1v/Q_1v \quad \dots \quad (2)$$

$$P_v = A_v \times P_0v + B_v \times P_1v \quad \dots \quad (3)$$

$$Q_v = A_v \times Q_0v + B_v \times Q_1v \quad \dots \quad (4)$$

【0046】

また、水平画素数の原変換率 P_h/Q_h についても、上記した垂直画素数の変換率と同様の手法を用いて、水平画素数の原変換率 P_h/Q_h から、制限値 T_h 以下の整数である P_0h 、 P_1h 、 Q_0h 及び Q_1h を用いて、第一の水平画素数変換率 P_0h/Q_0h と第二の水平画素数変換率 P_1h/Q_1h を生成する。

【0047】

図4に示した P_h 、 Q_h 、 P_0h 、 Q_0h 、 P_1h 、 Q_1h 、 A_h 及び B_h には以下の関係式が成り立つ。

$$P_h/Q_h \doteq P_0h/Q_0h \quad \dots \quad (5)$$

$$P_h/Q_h \doteq P_1h/Q_1h \quad \dots \quad (6)$$

$$P_h = A_h \times P_0h + B_h \times P_1h \quad \dots \quad (7)$$

$$Q_h = A_h \times Q_0h + B_h \times Q_1h \quad \dots \quad (8)$$

【0048】

次に上記した各画素数変換率の生成手法を垂直画素数の変換率の例により説明する。

【0049】

図5は、垂直画素数変換率の生成動作を示すフローチャートである。

垂直画素数を縮小する場合は、 $P_v < Q_v$ であることから、垂直画素数の原変換率 P_v/Q_v は真分数となる。一方、垂直画素数を拡大する場合は、 $P_v > Q_v$ であることから、垂直画素数の原変換率 P_v/Q_v は仮分数となる。そのため、分割される原変換率は、真分数である場合と仮分数である場合の二通りの場合

がある。そこで、まず P_v と Q_v の大小比較を実施するために、 $P_v < Q_v$ であるか否かを判断する (S 2 1)。

【0050】

垂直画素数の原変換率 P_v / Q_v が $P_v < Q_v$ となる (真分数である) 場合 (S 2 1 : YES) には、真分数は、 $1/2$ 、 $1/3$ 、 $1/4$ などの分子が 1 である単位分数の和で表されるので、垂直画素数変換率の生成する際には、この分数の性質を用いて、 P_v / Q_v を単位分数に分解する (S 2 2)。次に、分解された単位分数は、分母の数値が小さいものから順に加算され、第一の垂直画素数変換率である P_0v / Q_0v を生成する。ただし、その際に、加算する範囲には、加算結果の分母が制限値以下 ($\leq T_v$) の範囲となるように制限がかけられる (S 2 3)。

【0051】

次に、第一の垂直画素数変換率 P_0v / Q_0v を出力画像フォーマットの縦 1 列中での繰り返し数を示す A_v を求める (S 2 4)。ここでは、 A_v として、(3) 式、及び、(4) 式の $B_v \times Q_1v$ が T_v を超えないようにする。そのためには、(4) 式より $Q_v - A_v \times Q_0v \leq T_v$ が成り立つ最大の整数を選べばよい。

【0052】

このようにして P_0v 、 Q_0v 及び A_v が求まると、(3) 式及び(4)式より、 $B_v \times P_1v$ 及び $B_v \times Q_1v$ が求められ、 $B_v \times P_1v$ 及び $B_v \times Q_1v$ の最大公約数を B_v とすれば、第二の垂直画素数変換率である P_1v / Q_1v が求められる (S 2 5)。

【0053】

図5のフローチャートのステップ S 2 1 ~ S 2 5について、さらに具体的な実例として、例えば、 $P_v / Q_v = 128 / 225$ 、 $T_v = 128$ の場合について説明する。

【0054】

垂直画素数の原変換率 P_v / Q_v を単位分数分解すると (9) 式が得られる。

$$128 / 225 = 1 / 2 + 1 / 15 + 1 / 450 \quad \dots \quad (9)$$

【0055】

(9) 式より、第一の垂直画素数変換率 $P_0 v / Q_0 v = 1/2 + 1/15 = 17/30$ が得られ、 $225 - A v \times 30 < 128$ より $A v = 4$ が得られる。

【0056】

また、(3)式と(4)式に、 $P v = 128$ 、 $Q v = 225$ 、 $P_0 v = 17$ 、 $Q_0 v = 30$ 、及び、 $A v = 4$ を代入すれば、 $B v \times P_1 v = 60$ 、及び、 $B v \times Q_1 v = 105$ となり、60と105の最大公約数は15であるので、 $B v = 15$ 、 $P_1 v = 4$ 、及び、 $Q_1 v = 7$ が得られる。

【0057】

このようにして、 $P v / Q v = 128 / 225$ の変換率から、第一の垂直画素数変換率 $P_0 v / Q_0 v = 17 / 30$ と、第二の垂直画素数変換率 $P_1 v / Q_1 v = 4 / 7$ を演算により生成することができ、第一の垂直画素数変換率を繰り返す数 $A v = 4$ 、及び、第二の垂直画素数変換率を繰り返す数 $B v = 15$ が得られる。

【0058】

なお、 $P v$ 、 $Q v$ 、 $P_0 v$ 、 $Q_0 v$ 、 $P_1 v$ 、 $Q_1 v$ 、 $A v$ 及び $B v$ は、(1)式、(2)式、(3)式及び(4)式を満足しており、 $P_0 v$ 、 $Q_0 v$ 、 $P_1 v$ 及び $Q_1 v$ は $T v = 128$ より小さい。

【0059】

また、垂直画素数の原変換率 $P v / Q v$ が $P v < Q v$ ではなく $P v > Q v$ となる（仮分数である）場合 (S 21 : NO) には、まず、仮分数 $P v / Q v$ を帯分数 $S + P S v / Q S v$ に変換（分解）する。この帯分数の S は整数部であり、残りの分数部 $P S v / Q S v$ は真分数であるので、上記した $P v < Q v$ の場合と同様に $P S v / Q S v$ を単位分数に分解する (S 32)。分解された単位分数は、整数部 S に分母の数値が小さいものから順に加算され、第一の垂直画素数変換率である $P_0 v / Q_0 v$ を生成する。ただし、その際に、加算する範囲には、加算結果の帯分数分子が制限値以下 ($\leq T v$) となるように制限がかけられる (S 33)。

【0060】

次に、第一の垂直画素数変換率 $P_0 v / Q_0 v$ の出力画像フォーマットの縦1列中での繰り返し数を示す $A v$ を求める (S34)。ここでは、 $A v$ として、(3)式、及び、(4)式の $B v \times Q_1 v$ が $T v$ を超えないようにする。そのためには、(3)式より、 $P v - A v \times P_0 v \leq T v$ が成り立つ最大の整数を選べばよい。

【0061】

このようにして $P_0 v$ 、 $Q_0 v$ 及び $A v$ が求まると、(3)式及び(4)式より、 $B v \times P_1 v$ 及び $B v \times Q_1 v$ が求められ、 $B v \times P_1 v$ 及び $B v \times Q_1 v$ の最大公約数を $B v$ とすれば、第二の垂直画素数変換率である $P_1 v / Q_1 v$ が求められる (S35)。

【0062】

図5のフローチャートのステップ S31～S35について、さらに具体的な実例として、例えば、 $P v / Q v = 463 / 175$ 、 $T v = 128$ の場合について説明する。

【0063】

垂直画素数の原変換率 $P v / Q v$ を帯分数に変換し、単位分数分解すると(10)式が得られる。

$$463 / 175 = 2 + (1 / 2 + 1 / 7 + 1 / 350) \quad \dots \quad (10)$$

【0064】

(10)式より、第一の垂直画素数変換率である $P_0 v / Q_0 v = 2 + (1 / 2 + 1 / 7) = 37 / 14$ が得られ、 $463 - A v \times 37 \leq 128$ より $A v = 10$ が得られる。

【0065】

また、(3)式と(4)式に $P v = 463$ 、 $Q v = 175$ 、 $P_0 v = 37$ 、 $Q_0 v = 14$ 、及び、 $A v = 10$ を代入すれば、 $B v \times P_1 v = 93$ 、及び、 $B v \times Q_1 v = 35$ となり、93と35の最大公約数は1であるので、 $B v = 1$ 、 $P_1 v = 93$ 、及び、 $Q_1 v = 35$ が得られる。

【0066】

このようにして、 $P v / Q v = 463 / 175$ の変換率から、第一の垂直画素

数変換率 $P_0 v / Q_0 v = 37 / 14$ と、第二の垂直画素数変換率 $P_1 v / Q_1 v = 93 / 35$ を演算により生成することができ、第一の垂直画素数変換率を繰り返す数 $A v = 10$ 、及び、第二の垂直画素数変換率を繰り返す数 $B v = 1$ が得られる。

【0067】

なお、この場合も $P v$ 、 $Q v$ 、 $P_0 v$ 、 $Q_0 v$ 、 $P_1 v$ 、 $Q_1 v$ 、 $A v$ 及び $B v$ は、(1)式、(2)式、(3)式及び(4)式を満足しており、 $P_0 v$ 、 $Q_0 v$ 、 $P_1 v$ 及び $Q_1 v$ は $T v = 128$ より小さい。

【0068】

また、水平画素数変換率についても、垂直画素数変換率の分割と同じ手法により、水平画素数の原変換率 $P h / Q h$ から、(5)式、(6)式、(7)式、及び(8)式を満足するように、第一の水平画素数変換率 $P_0 h / Q_0 h$ 、第二の水平画素数変換率 $P_1 h / Q_1 h$ 、及び、原変換率の出力画像フォーマットにおける横1行の水平画素数中で、第一の水平画素数変換率による水平画素数部分を繰り返す数 $A h$ 、及び、第二の水平画素数変換率による水平画素数部分を繰り返す数 $B h$ を得ることができる。

【0069】

また、第一の垂直画素数変換率及び第二の垂直画素数変換率に用いられる各要素は、常に $T v$ 以下の整数であり、上記した各式を満足するように生成される数値であるので、任意の原変換率に対応して第一の垂直画素数変換率及び第二の垂直画素数変換率を設定することができ、第一の水平画素数変換率及び第二の水平画素数変換率に用いられる各要素は、常に $T h$ 以下の整数であり、上記した各式を満足するように生成される数値であるので、任意の原変換率に対応して第一の水平画素数変換率及び第二の水平画素数変換率を設定することができる。

【0070】

このようにして、本実施の形態の画素数変換装置では、原変換率の出力画像フォーマットにおける縦1列の垂直画素数については、第一の垂直画素数変換率による垂直画素数部分（その繰り返し数 $A v$ ）、及び、第二の垂直画素数変換率による垂直画素数部分（その繰り返し数 $B v$ ）に分割できるようになり、また、原

変換率の出力画像フォーマットにおける横1行の水平画素数についても、第一の水平画素数変換率による水平画素数部分（その繰り返し数 A_h ）、及び、第二の水平画素数変換率による水平画素数部分（その繰り返し数 B_h ）に分割できるようになる。

【0071】

本実施の形態の画素数変換装置は、垂直／水平の各々をさらに上側／下側に分割して上記のようにして得られた各変換率に対応させ、各補間係数を生成し、さらに、画像信号メモリ部1に格納された原画素から各変換に用いる位置（アドレス）の原画素（参照画素）を読み出し、補間係数メモリ部7から各変換に用いる補間係数の読み出して変換処理を行うものであり、以下に、原画素の位置から変換画素の位置を求める処理について説明する。

【0072】

図6は、原画像の水平方向の2画素を参照画素とした場合の変換画素の位置を求める処理の各要素を示す図であり、水平方向の原変換率 P_h / Q_h が、 $5/4$ 倍に拡大補間する場合に、変換後の各画素の位置が、原画像において隣接する位置の各画素間のどのあたりに位置するかを示している。

【0073】

同図において、丸印は原画像の画素であり、三角印は変換画素であり、画素の並び順に整数の番号が割り付けられており、変換画素は原画像の画素の P_h 倍にアップサンプリングされた位相の何れかの位置に配置され、隣接する変換画素の間隔は Q_h であることが示されている。また、同図には変換画素ごとに変換率の逆数 Q_h / P_h の累積加算と、その商及び剰余を示している。商は第一の参照画素の位置を示し、剰余は第一の参照画素と変換画素との位相差を示している。

【0074】

図6に示した画素数変換処理では、水平方向の2画素を参照画素（第一、第二の参照画素）とし、第一の参照画素と補間係数、及び、第二の参照画素と補間係数のそれぞれの乗算結果の加算から変換画素を求めることができる。

【0075】

例えば、並び順2の変換画素である累積加算の結果が $8/5$ の場合、商が1で

るので、第一の参照画素には並び順1の原画素が選択され、第二の参照画素には並び順2の原画素が選択される。また、剩余が3であるので、第一の参照画素に対応する補間係数には位相差3に応じた補間係数が選択され、第二の参照画素に対応する補間係数には上述の剩余とP_hとの差分の3-5=-2より、位相差-2に応じた補間係数が選択される。

【0076】

図7は、図6の変換率が5/4の場合の線形一次補間係数による補間特性（補間係数）の一例を示す図である。

同図の横軸は、参照画素と変換画素の位相差を示しており、図6に示した並び順2の変換画素の第一の参照画素に対応する補間係数は0.4であり、第二の参照画素に対応する補間係数は0.6である。

【0077】

このように、原画像の2画素を参照画素とする場合の実際の補間係数の長さは $2 \times P_h$ であるが、第二の参照画素に対応する補間係数は、第一の参照画素に対応する補間係数より一義的に決まることから、補間係数はP_h通りの組合せとなる。

【0078】

このようにして、各変換画素ごとに、変換比率の逆数の累積加算の商と剩余から、原画素からの参照画素の読み出しと、補間係数の読み出しが行われ、参照画素と補間係数の積和演算により変換画素を求めることができる。

【0079】

図4に示した補間係数生成手段12では、図6、図7の例に従い、上述したP_{v0}、P_{v1}、P_{h0}及びP_{h1}に応じて補間係数を生成し、参照画素と変換画素の位相差に対応した係数を組合せて、補間係数メモリ部7に一次記憶させる。

【0080】

なお、図7に示した線形一次の補間係数の生成方法は本実施の形態に適用可能な生成方法の一例であり、それ以外にも、例えば、特開2000-132136号公報等に記載された各種の生成方法が知られており、そのような他の補間係数の生成方法も本実施の形態では適用することができる。

【0081】

図1、2のアドレス情報生成部5では、 P_v0 、 Q_v0 、 P_v1 、 Q_v1 、 A_v 、 B_v 、 P_h0 、 Q_h0 、 P_h1 、 Q_h1 、 A_h 及び B_h に従って、垂直方向、水平方向それぞれについて、変換画素ごとに図6に示した上述の変換率の逆数の累積加算の商と剩余を求め、原画像の画素データから補間演算に使用する参照画素を特定する水平方向及び垂直方向のアドレス情報(x 、 y)と、参照画素d(x 、 y)と変換画素との水平方向の位相差 R_h 及び垂直方向の位相差 R_v が生成される。アドレス情報(x 、 y)はメモリ制御部6に供給され、参照画素d(x 、 y)と変換画素との水平方向の位相差 R_h 及び垂直方向の位相差 R_v は、それぞれ補間係数メモリ部7に供給される。

【0082】

次に、アドレス情報生成部5で用いる各変換率について説明する。

例えば、原変換率によって従来の画素数の変換を行う場合と、本実施の形態のように下側近似簡略化変換率により画素数の変換を連続してその繰り返し数分行った後に、上側近似簡略化変換率により画素数の変換を連続してその繰り返し数分行う場合とを比較した場合、原画像フォーマットの縦横(垂直/水平)の原画素数を出力フォーマットの縦横の各行各列毎の画素数に変換するという点では同一であるが、その変換方法が従来のように1行分や1列分を均等間隔に処理するわけではなく、1行分や1列分をさらに原変換率の上下2種類の近似変換率の部分に細分化し、その細分化した部分の繰り返し数により1行分や1列分のトータル画素数を調節している。

【0083】

例えば、上述の原変換率が $128/225$ の場合は、従来の方法では原画像フォーマットの225画素を、出力フォーマットの128画素になるように、各画素位置間隔を均等に変換することになる。一方、本実施の形態では、下側近似簡略化変換率 $17/30$ を4回繰り返すことで、 $30 \times 4 = 120$ 画素を $17 \times 4 = 68$ 画素に変換し、上側近似簡略化変換率 $4/7$ を15回繰り返すことで、 $7 \times 15 = 105$ 画素を $4 \times 15 = 60$ 画素に変換することで、下側近似簡略化変換率による画素数の変換と上側近似簡略化変換率による画素数の変換により12

$0 + 105 = 225$ 画素を $68 + 60 = 128$ 画素に変換している。従って、本実施の形態における各行、各列のトータル画素数は、原変換率による従来の画素数の変換と同じ画素数となるので、従来と同様に全く問題なく正確に変換することができることがわかる。

【0084】

ところで、上側近似簡略化変換率と下側近似簡略化変換率は原変換率に近似するとはいえ、上側あるいは下側に微妙に率が異なるため、例えば、上述したように、下側近似簡略化変換率による画素数の変換を連続させた後に、上側近似簡略化変換率による画素数の変換を連続させるように組合せた場合には、変換画像において各変換率により変換を連続させた部位間で画像の変換率が異なってしまい、変換された画像の均一性が失われる場合が発生する。そのために、本実施の形態では、下側近似簡略化変換率による画素数の変換と、上側近似簡略化変換率による画素数の変換を細分化して組合せている。

【0085】

図8は、本実施の形態における水平方向の下側近似簡略化変換率による画素数変換と上側近似簡略化変換率による細分化された画素数変換を均一化する処理を示すフローチャート図である。なお、図8では一例として水平方向の細分化処理について示したが、垂直方向の細分化処理についても同様の手法にて実施が可能である。

【0086】

同図において、mは、水平方向の下側近似簡略化変換率の繰り返し数の加算結果を保持するレジスタであり、nは、上側近似簡略化変換率の繰り返し数の加算結果を保持するレジスタであり、iは下側近似簡略化変換率もしくは上側近似簡略化変換率による画素数変換の総数を計測するカウンターである。

【0087】

まず、初期値として、mレジスタには下側近似簡略化変換率の繰り返し数を示すAhが代入され、nレジスタには上側近似簡略化変換率の繰り返し数を示すBhが代入され、iカウンターにはAh+Bhが代入される(S41)。

【0088】

次に、mレジスタとnレジスタの大小比較がm>nであるか否かにより判断される（S42）。m>nである場合（S42：YES）には、下側近似簡略化変換率P0/Q0が選択される（S43）が、m>nでない場合（S42：NO）には、さらに、mレジスタとnレジスタが等しいか否かが判断される（S45）。

【0089】

mレジスタとnレジスタが等しくない場合（S45：NO）には、上側近似簡略化変換率P1/Q1が選択される（S47）が、mレジスタとnレジスタが等しい場合（S45：YES）には、さらに、AhとBhの大小比較がAh<Bhであるか否かにより判断される（S46）。

【0090】

AhとBhの大小比較がAh<Bhである場合（S46：YES）には、下側近似簡略化変換率P0/Q0が選択される（S43）が、AhとBhの大小比較がAh<Bhでない場合（S46：NO）には、上側近似簡略化変換率P1/Q1が選択される（S47）。

【0091】

従って、ステップS42、S45、S46の大小比較により、mレジスタがnレジスタより大きい場合（S42：YES）、もしくは、mレジスタとnレジスタが等しく（S45：YES）且つAhがBhより小さい場合（S46：YES）は、下側近似簡略化変換率であるP0h/Q0hによる画素数変換が選択され（S43）、さらに、nレジスタにBhが加算される（S44）。

【0092】

また、mレジスタがnレジスタより小さい場合（S42：NO）、もしくは、mレジスタとnレジスタが等しく（S45：YES）且つAhがBhより小さくない場合（S46：NO）は、上側近似簡略化変換率であるP1h/Q1hによる画素数変換が選択され（S47）、さらに、mレジスタにAhが加算される（S48）。

【0093】

そしてiカウンターの値を-1し（S49）、iカウンターの値が0になった

か否かを判断し (S50)、i カウンターの値が 0 にならない場合 (S50:N0) には、ステップ S42 に戻り、i カウンターの値が 0 になった場合 (S50: YES) には、処理を終了する。すなわち、ステップ S42～S50 の処理は、i カウンターの値が 0 になるまで、(Ah+Bh) 回繰り返される。

【0094】

図9は、原変換率が 128/225 の場合の図8に示した i カウンター、m レジスタ及び n レジスタの遷移と選択される変換率を示した図表である。

図9では、i カウンターの値は 19 から 1 ずつ漸減し、m レジスタの値は 4 から 4 ずつ漸増し、n レジスタの値は i カウンターの値が 19 から 16 までは 15 であり、i カウンターの値が 15 から 11 までは 30 であり、i カウンターの値が 10 から 6 までは 45 であり、i カウンターの値が 5 から 2 までは 60 であり、i カウンターの値が 1 では 75 である。

【0095】

以上から選択される変換率としては、i カウンターの値が 19 から 16 までと、i カウンターの値が 14 から 11 までと、i カウンターの値が 9 から 6 までと、i カウンターの値が 4 から 2 までの 15 回で、上側近似簡略化変換率である $P_1 h/Q_1 h (=4/7)$ による画素数変換が選択されて繰り返される。残りの i カウンターの値が 15、10、5、1 の場合の 4 回には、下側近似簡略化変換率 $P_0 h/Q_0 h (=17/30)$ が選択されて繰り返される。以上のように処理を分散させて繰り返すことにより、下側近似簡略化変換率及び上側近似簡略化変換率による画素数変換の細分化された組合せが均一化され、変換率の均一性を保つことができる。

【0096】

このようにして、アドレス情報生成部 5 では、垂直方向と水平方向のそれぞれについて、下側近似簡略化変換率の繰り返し数の加算結果と、上側近似簡略化変換率の繰り返し数の加算結果の大小比較により、下側近似簡略化変換率による画素数変換を行うか上側近似簡略化変換率による画素数変換を行うかを選択する選択信号 KVsel、KHsel、選択された変換率を元に参照画素を特定するアドレス情報 (x, y) と、参照画素 d (x, y) と変換画素の位相差を生成し、

補間係数メモリ部7に対して供給する。

【0097】

なお、上述したように、本実施の形態の画素数変換制御部4内の近似簡略化変換率生成手段11は、制限値Tv及びTh以下の整数で表される下側近似簡略化変換率と上側近似簡略化変換率を用いているため、アドレス情報生成部5は、制限のない場合と比べて、上述した参照画素のアドレス情報及び参照画素と変換画素の位相差を求める処理を、比較的小規模な回路で実現することができる。

【0098】

メモリ制御部6では、原画像の画素データdinに同期した水平同期信号Hw及び垂直同期信号Vwに従って画素データdinの書き込み制御を行うと共に、アドレス情報(x, y)をもとに、参照画素として原画像の画素データd(x, y)、d(x+1, y)、d(x, y+1)及びd(x+1, y+1)が画像信号メモリ部1から読み出され、d(x, y)及びd(x, y+1)が補間演算部2に、d(x+1, y)及びd(x+1, y+1)が補間演算部3に供給される。

【0099】

図10は、補間係数メモリ部7の内部構成の一例を示すブロック図である。

同図において、補間係数メモリ71、72、73及び74は、補間係数生成手段12で生成された補間係数を一時的に格納するメモリ手段である。選択手段75は、補間係数メモリ71及び72から読み出された補間係数を入力して何れか一方を選択する。選択手段76は、補間係数メモリ73及び74から読み出された補間係数を入力して何れか一方を選択する。選択手段75及び76で選択された補間係数は、分割手段77及び78にそれぞれ供給される。

【0100】

補間係数メモリ71は、垂直画素数変換の下側近似簡略化変換率に対応した補間係数Kv0を記憶し、補間係数メモリ72は、垂直画素数変換の上側近似簡略化変換率に対応した補間係数Kv1を記憶し、補間係数メモリ73は、水平画素数変換の下側近似簡略化変換率に対応した補間係数Kh0を記憶し、補間係数メモリ74は、水平画素数変換の上側近似簡略化変換率に対応した補間係数Kh1

を記憶する。

【0101】

各補間係数メモリ71～74は、図6に示した第一の参照画素と変換画素との位相差（図7参照）ごとに、第一の参照画素に対応する補間係数と、第二の参照画素に対応する補間係数とを組み合せて記憶する。

【0102】

補間係数メモリ71及び72に記憶された垂直画素数変換の補間係数は、アドレス情報生成部5にて変換画素ごとに生成される参照画素と変換画素との垂直方向の位相差 R_v に従って読み出される。同様にして、補間係数メモリ73及び74に記憶された水平画素数変換の補間係数は、アドレス情報生成部5にて変換画素ごとに生成される参照画素と変換画素との水平方向の位相差 R_h に従って読み出される。

【0103】

選択手段75は、下側近似簡略化変換率に対応する補間係数か、上側近似簡略化変換率に対応する補間係数かを、アドレス情報生成部5にて生成される選択信号 K_{Vse1} に従って選択する。選択手段76では、下側近似簡略化変換率に対応する補間係数か、上側近似簡略化変換率に対応する補間係数かを、アドレス情報生成部5にて生成される選択信号 K_{Hse1} に従って選択する。

【0104】

分割手段77は、選択された補間係数を、第一の参照画素に対応する補間係数 H_y と、第二の参照画素に対応する補間係数 G_y に分割し、補間演算部2に供給する。分割手段78は、選択された補間係数を、第一の参照画素に対応する補間係数 H_x と、第二の参照画素に対応する補間係数 G_x に分割し、補間演算部2に供給する。

【0105】

このようにして補間係数メモリ部7では、補間係数を一時記憶して参照画素と変換画素の位相差により読み出すことができる。

【0106】

また、本実施の形態の補間係数メモリ部7は、例えば、原変換率の分子が制限

値を超えている場合であっても、制限値を超えない下側及び上側の近似簡略化変換率を組み合せて用いるため、補間係数のメモリ容量を増加させる必要が無く、メモリ容量の増加を抑制することができる。

【0107】

また、本実施の形態では、下側近似簡略化変換率による画素数変換と上側近似簡略化変換率による画素数変換との切り替えを、補間係数メモリ部7から読み出す補間係数を換える事により実現しているため、画像信号メモリ部1における画素データの転送量の増加を抑制することができる。

【0108】

図11は、垂直方向補間演算部2aの内部構成の一例を示すブロック図である。なお、垂直方向補間演算部2b、水平方向補間演算部2cの内部構成については、垂直方向補間演算部2aと同様である説明を省略する。

【0109】

画像信号メモリ部1から読み出された参照画素データd(x, y)は、端子22に入力されて乗算手段19に供給され、同様に読み出された参照画素データd(x, y+1)は、端子24に入力されて乗算手段20に供給される。

【0110】

補間係数メモリ部7から読み出された垂直方向の補間係数Hyは、端子23に入力されて乗算手段19に供給され、同様に読み出された垂直方向の補間係数Gyは、端子25に入力されて乗算手段20に供給される。

【0111】

乗算手段19では、参照画素データd(x, y)と補間係数Hyとから乗算結果Hy×d(x, y)が生成され、乗算手段20においては、参照画素データd(x, y+1)と補間係数Gyとから乗算結果Gy×d(x, y+1)が生成され、各乗算結果は加算手段21に供給される。

【0112】

加算手段21では、乗算結果Hy×d(x, y)と乗算結果Gy×d(x, y+1)とから、加算結果Hy×d(x, y)+Gy×d(x, y+1)が生成される。この加算結果は、参照画素d(x, y)及びd(x, y+1)の垂直方向

の補間演算結果 $D(x)$ として端子 26 から出力されて水平方向補間演算部 2c に供給される。

【0113】

次に、図 11 を参照して垂直方向補間演算部 2b の動作を説明する。

垂直方向補間演算部 2b では、上述した垂直方向補間演算部 2a と同様にして、画像信号メモリ部 1 から読み出された参照画素データ $d(x+1, y)$ 及び $d(x+1, y+1)$ と、補間係数メモリ部 7 から読み出された垂直方向の補間係数 H_y 及び G_y から、積和演算結果 $H_y \times d(x+1, y) + G_y \times d(x+1, y+1)$ が生成され、参照画素 $d(x+1, y)$ 及び $d(x+1, y+1)$ の垂直方向の補間演算結果 $D(x+1)$ として端子 26 から出力されて水平方向補間演算部 2c に供給される。

【0114】

次に、図 11 を参照して水平方向補間演算部 2c の動作を説明する。

垂直方向の補間演算結果 $D(x)$ 及び $D(x+1)$ が、端子 22 及び 24 からそれぞれ入力され、乗算手段 19 及び 20 にそれぞれ供給される。補間係数メモリ部 7 から読み出された水平方向の補間係数 H_x 及び G_x は、端子 23 及び 25 からそれぞれ入力され、乗算手段 19 及び 20 にそれぞれ供給される。

【0115】

乗算手段 19 では、垂直方向の補間演算結果 $D(x)$ と補間係数 H_x とから、乗算結果 $H_x \times D(x)$ が生成され、乗算手段 20 では、垂直方向の補間演算結果 $D(x+1)$ と補間係数 G_x とから、乗算結果 $G_x \times D(x+1)$ が生成される。

【0116】

加算手段 21 では、乗算結果 $H_x \times D(x)$ と乗算結果 $G_x \times D(x+1)$ とから、加算結果 $H_x \times D(x) + G_x \times D(x+1)$ が生成され、端子 26 から出力される。この加算結果は、垂直方向の補間演算結果 $D(x)$ 及び $D(x+1)$ の水平方向の補間演算結果であり、つまりは参照画素 $d(x, y+1)$, $d(x+1, y)$, $d(x, y+1)$ 及び $d(x+1, y+1)$ の補間演算結果となる。

【0117】

従って、補間演算部2では、原変換率に従って変換した画素を生成することができることになる。

【0118】

このように、本実施の形態では、縦／横（垂直／水平）の原画像信号をそのまま原変換率で一括変換するのではなく、垂直／水平の原画像信号を細分化して制限値以下の下側／上側近似簡略化変換率の部分を組み合わせて各部分を繰り返すことにより変換するので、画素数変換率P/Qの分子Pあるいは分母Qの値が大きな値をとり得る場合でも、任意の画素数変換率を小さな補間係数メモリで実現でき、回路規模の増大を抑制することができ、さらに、処理中の画素データの転送量を抑制することができる。従って、ハードウェアの規模、動作周波数といったハードウェア上の制約を受けることなく、任意の画素数変換を実現することができる。

【0119】

実施の形態2.

上記した実施の形態1では、生成した補間係数を一旦、補間係数メモリ部7に記憶し、補間演算の必要に応じて補間係数を補間係数メモリ部7から読み出す方式としたが、線形補間係数などの比較的簡単な演算により補間係数を生成させる場合にはアドレス情報生成部5からの位置情報（選択信号）から補間係数を生成させることができるので、補間係数メモリ部7を使用せずに補間演算を実施することが可能である。そこで実施の形態2では、実施の形態1の補間係数メモリ部7を省略した場合について説明する。

【0120】

図12は、本発明の実施の形態2である画素数変換装置の構成を示すブロック図であり、図13は、図12の入出力信号及び補間演算部を更に詳しく示したブロック図である。

【0121】

図12および13において、実施の形態1と異なる部分は、画素数変換制御部4aの内部に補間係数生成手段12が無くなり、画素数変換制御部4aの外部に

設けられた補間係数生成手段12aでは、アドレス情報生成部5aからの位置情報（選択信号）等により上側／下側の補間係数を生成する点である。その他の構成および動作については、実施の形態1と同様であるので、説明を省略する。

【0122】

画素数変換制御部4aは、近似簡略化変換率生成手段11を備え、垂直画素数の変換率 P_v/Q_v の分子 P_v と分母 Q_v 、水平画素数の変換率 P_h/Q_h の分子 P_h と分母 Q_h 、及び P_v と Q_v の制限値を示す T_v と、 P_h と Q_h の制限値を示す T_h が供給され、垂直方向と水平方向のそれぞれについて下側／上側近似簡略化変換率およびそれらの繰り返し数を生成し、生成された各変換率および各繰り返し数をアドレス情報生成部5aに出力する。

【0123】

アドレス情報生成部5aは、出力画像の画素データ`data`に同期した垂直同期信号 V_r 、水平同期信号 H_r 、近似簡略化変換率生成手段11で生成された垂直方向の下側／上側近似簡略化変換率と水平方向の下側／上側近似簡略化変換率、および、その各繰り返し数が供給されて、画像信号メモリ部1から画素データを読み出すためのアドレス情報、及び、補間係数生成手段12にて補間係数を生成するための選択信号、位相差を生成する。

【0124】

補間係数生成手段12aは、アドレス情報生成部5aからの選択信号、上側／下側近似簡略化変換率の分子及び位相差に基づいて補間係数を生成し、生成した補間係数を補間演算部2（2a、2b及び2c）に供給する。

【0125】

次に本実施の形態の動作について説明する。なお、実施の形態1と同様な動作については重複する説明を省略する。

【0126】

補間係数生成手段12aには、アドレス情報生成部5から、垂直方向と水平方向の双方について、上側近似簡略化変換率の分子 P_v0 、 P_h0 、下側近似簡略化変換率の分子 P_v1 、 P_h1 、及び、上側近似簡略化変換率と下側近似簡略化変換率の選択信号 $K_{Vs\,e1}$ 、 $K_{Hs\,e1}$ が供給されると共に、変換画素ごとに

参照画素と変換画素の位相差 R_v 、 R_h が供給される。

【0127】

補間係数生成手段 12a は、変換画素ごとに選択信号 K_{Vsel} 、 K_{Hsel} により垂直方向、水平方向それぞれについて、上側近似簡略化変換率か下側近似簡略化変換率の選択を行い、選択された変換率の分子と参照画素と変換画素の位相差から補間係数を生成する。

【0128】

例えば、垂直方向について選択された変換率の分子が 5 であり、参照画素と変換画素の位相差が 3 である線形補間係数は、図 7 に示すように、0.4 なる補間係数が 1 つめの参照画素に対応する補間係数 H_y として生成され、0.6 なる補間係数が 2 つめの参照画素に対応する補間係数 G_y として生成され、補間演算部 2 に供給される。また、水平方向についても同様にして 1 つめの参照画素に対応する補間係数 H_x と 2 つめの参照画素に対応する補間係数 G_x が生成され、補間演算部 2 に供給される。

【0129】

このように本実施の形態では、実施の形態 1 における補間係数メモリ部 7 を省略することにより、実施の形態 1 よりもさらにメモリ容量および制御部の回路規模を小さくした構成で実施の形態 1 と同様な変換を実施できるので、実施の形態 1 よりもさらにハードウェアの規模、動作周波数といったハードウェア上の制約を受けることなく、任意の画素数変換を実現することができる。

【0130】

なお、上記した各実施の形態では、参照画素数が水平方向、垂直方向共に 2 画素の場合について説明したが、本発明はこれに限られるものではなく、例えば、水平方向、垂直方向の何れか、もしくは両方の参照画素数を、 n 画素 (n は 3 以上の自然数) としても良い。

【0131】

【発明の効果】

本発明は、以上説明したように構成されているので、以下に示すような効果を奏する。

【0132】

本発明は、縦／横（垂直／水平）の原画像信号を、細分化して制限値以下の下側／上側近似簡略化変換率の部分を組み合わせて各部分を繰り返すことにより変換するので、画素数変換率 P/Q の分子 P あるいは分母 Q の値が大きな値をとり得る場合でも、任意の画素数変換率を小さな補間係数メモリで実現でき、回路規模の増大を抑制することができ、さらに、処理中の画素データの転送量を抑制することができる。従って、ハードウェアの規模、動作周波数といったハードウェア上の制約を受けることなく、任意の画素数変換を実現することができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1である画素数変換装置の構成を示すブロック図である。

【図2】 図1の入出力信号及び補間演算部を更に詳しく示したブロック図である。

【図3】 図1、2に示した画素数変換装置の動作を示すフローチャートである。

【図4】 図1、2中の画素数変換制御部における入出力信号のさらに詳しく示した一例のブロック図である。

【図5】 垂直画素数変換率の生成動作を示すフローチャートである。

【図6】 原画像の水平方向の2画素を参照画素とした場合の変換画素の位置を求める処理の各要素を示す図である。

【図7】 図6の変換率が $5/4$ の場合の線形一次補間係数による補間特性（補間係数）の一例を示す図である。

【図8】 実施の形態1における水平方向の下側近似簡略化変換率による画素数変換と上側近似簡略化変換率による細分化された画素数変換を均一化する処理を示すフローチャート図である。

【図9】 原変換率が $128/225$ の場合の図8に示したiカウンター、mレジスタ及びnレジスタの遷移と選択される変換率を示した図表である。

【図10】 補間係数メモリ部の内部構成の一例を示すブロック図である。

【図11】 垂直方向補間演算部の内部構成の一例を示すブロック図である

【図12】 本発明の実施の形態2である画素数変換装置の構成を示すプロック図である。

【図13】 図12の入出力信号及び補間演算部を更に詳しく示したプロック図である。

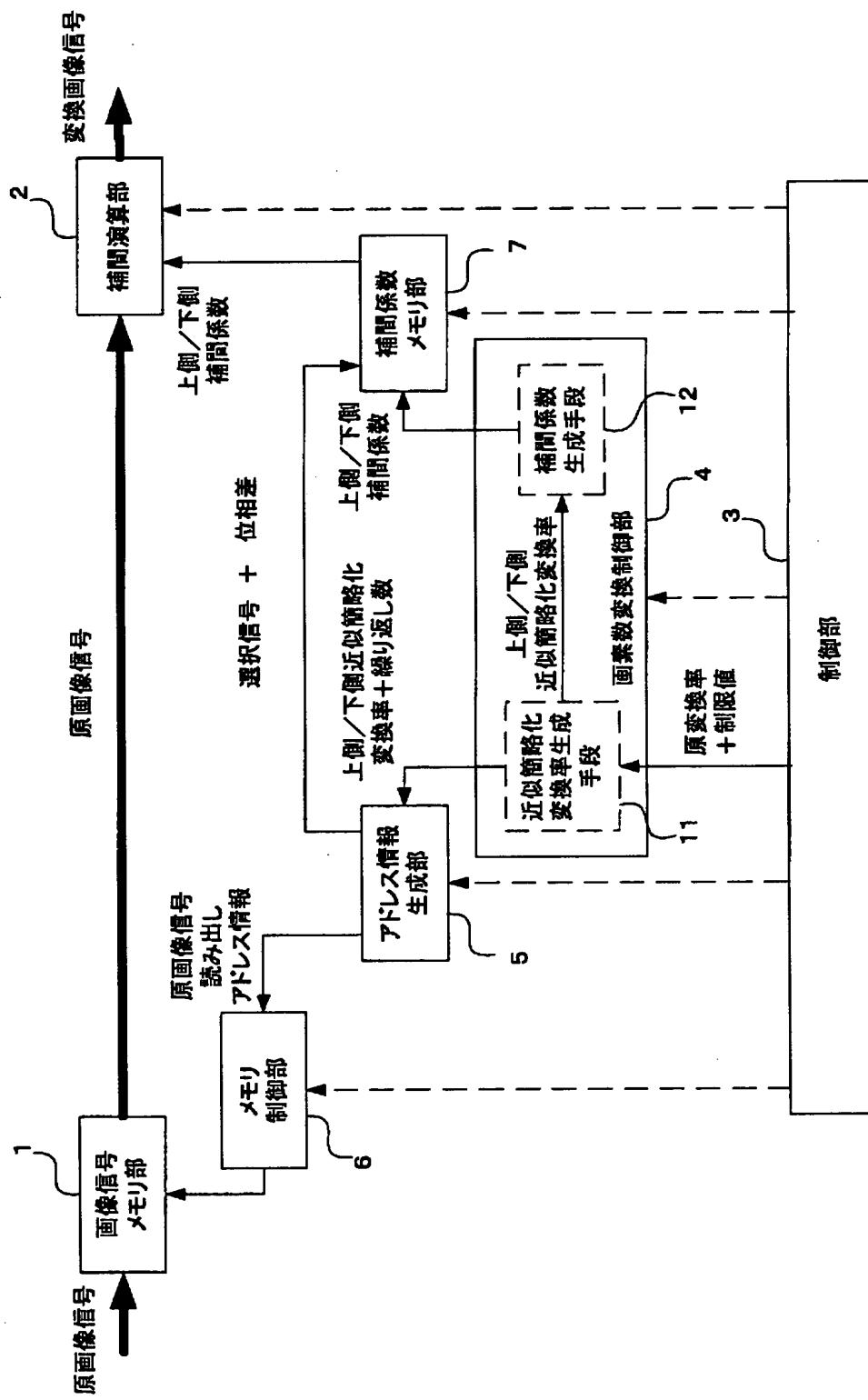
【符号の説明】

1 画像信号メモリ部、 2 補間演算部、 2 a、 2 b 垂直方向補間演算部、 2 c 水平方向補間演算部、 3 制御部、 4、 4 a 画素数変換制御部、 5、 5 a アドレス情報生成部、 6 メモリ制御部、 7 補間係数メモリ部、 11 近似簡略化変換率生成手段、 12、 12 a 補間係数生成手段、 19、 20 乗算手段、 21 加算手段、 22～26 端子、 71～74 補間係数メモリ、 75、 75 選択手段、 77、 78 分割手段。

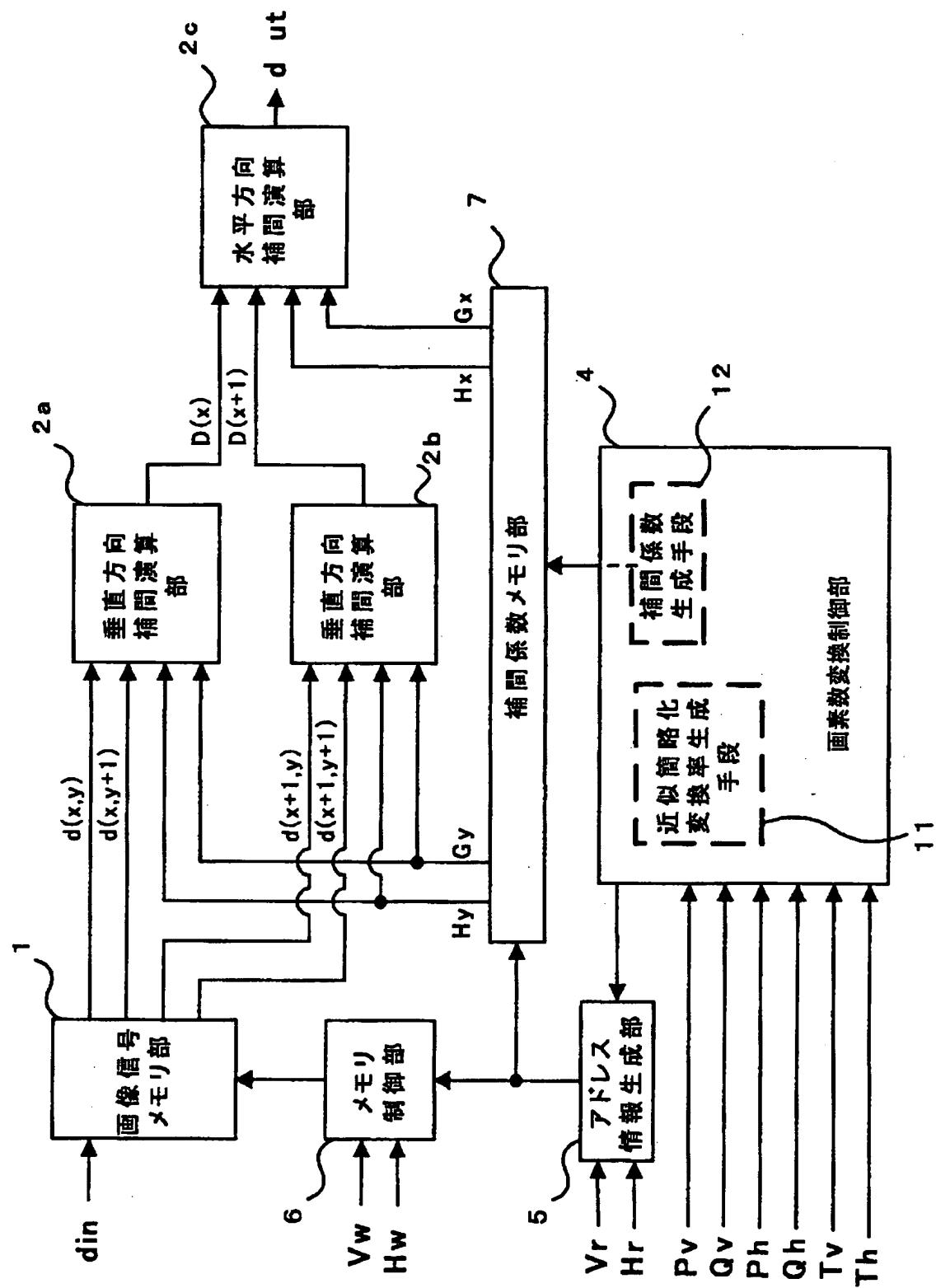
【書類名】

図面

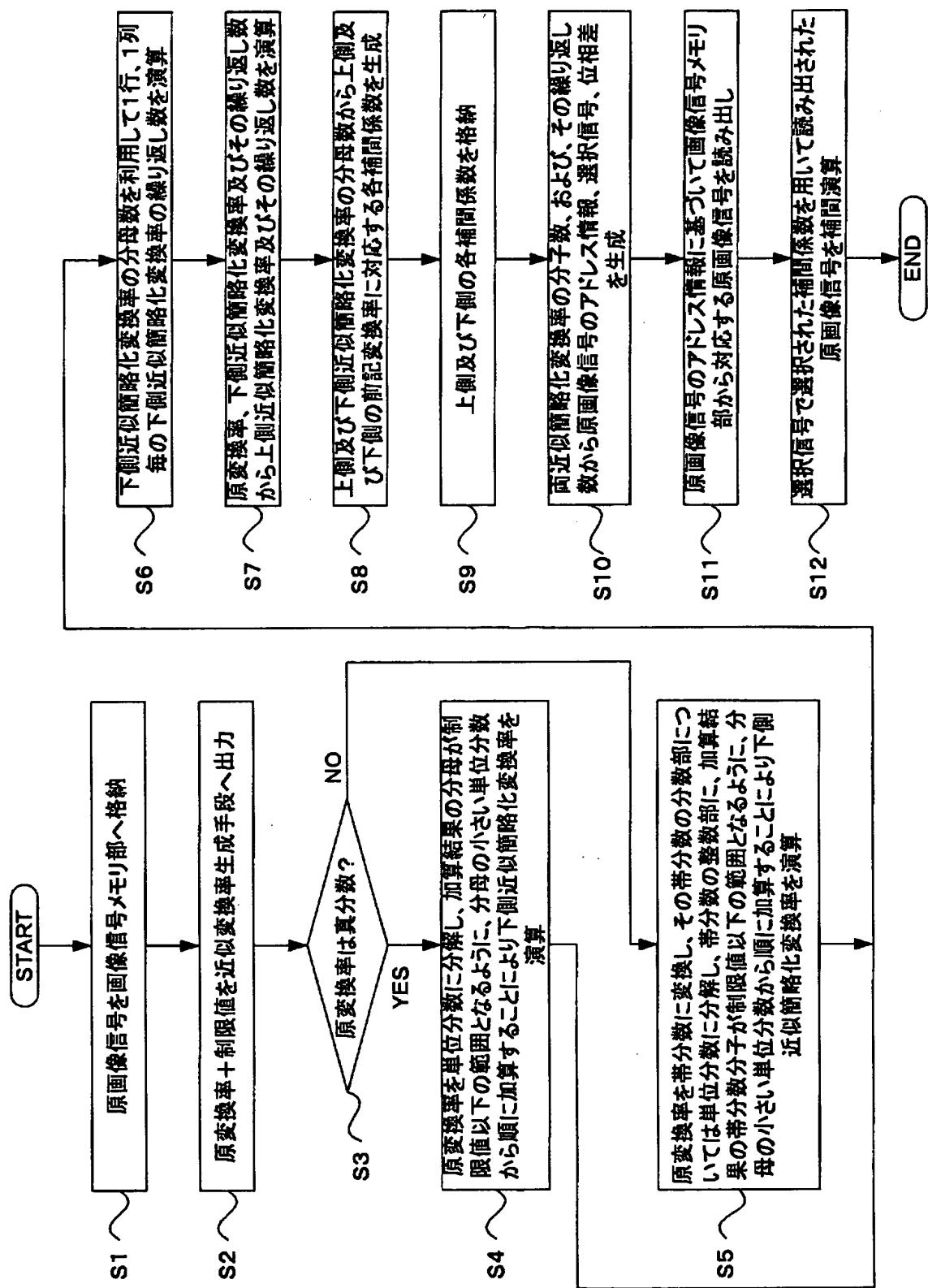
【図1】



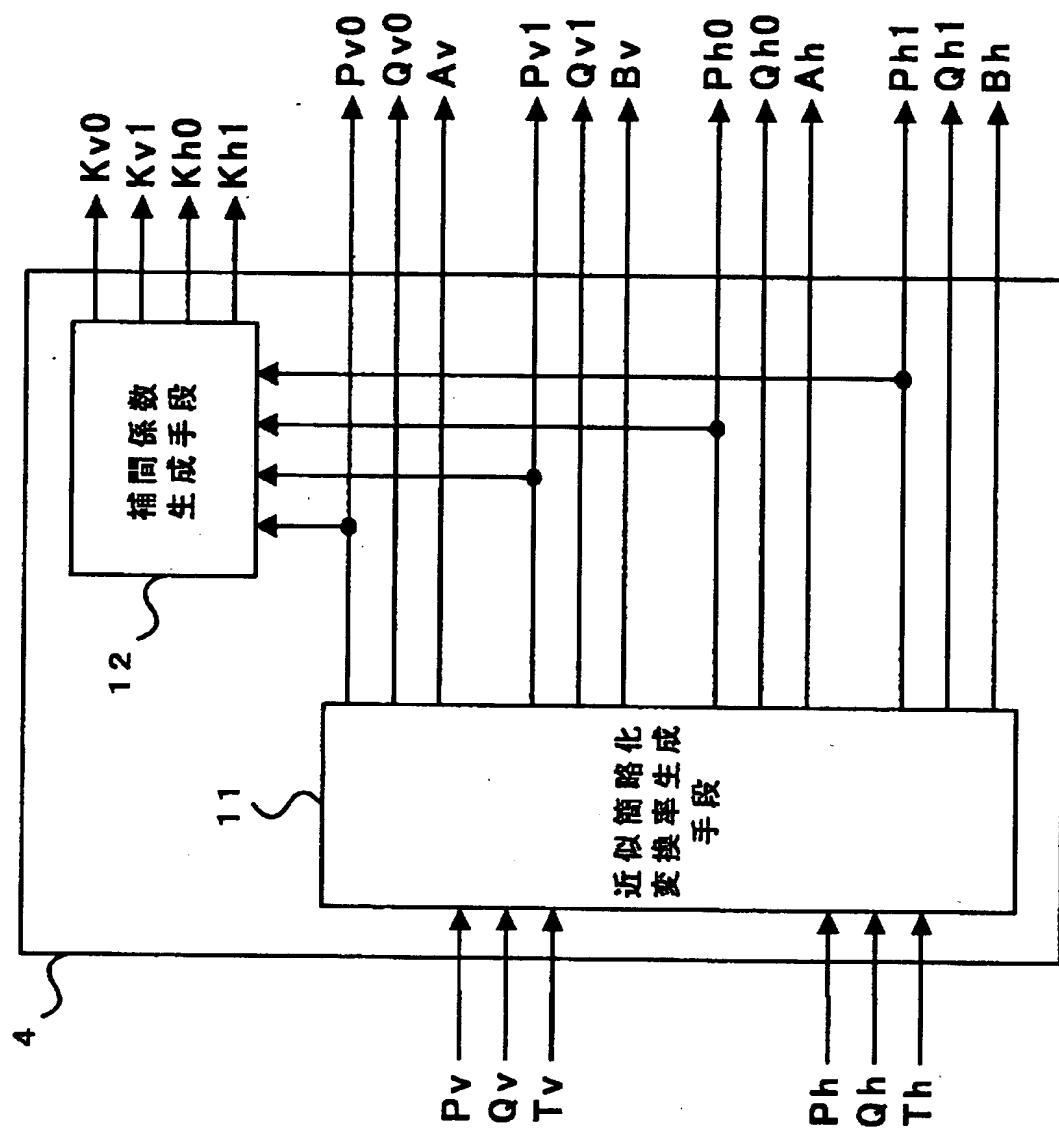
【図2】



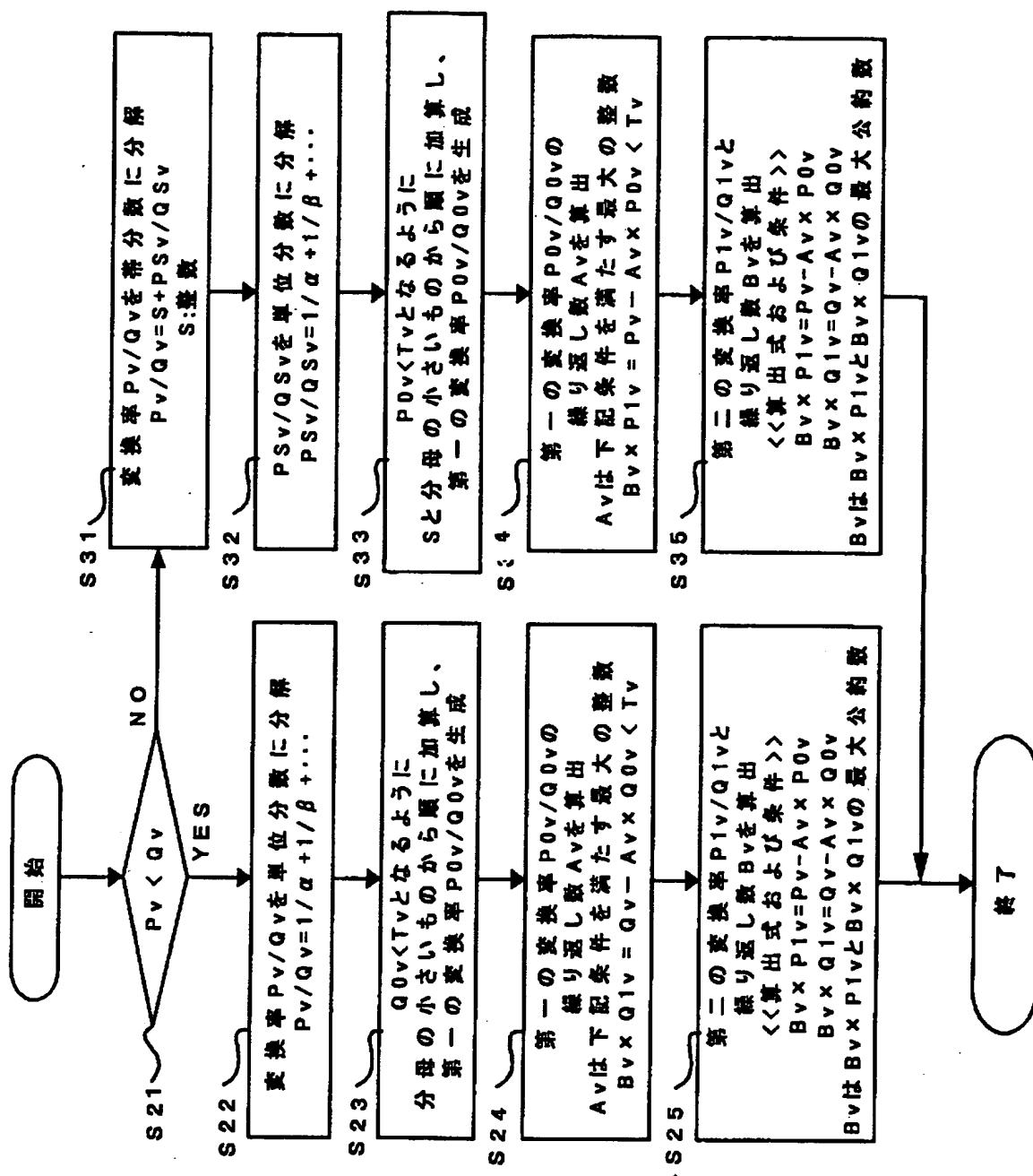
【図3】



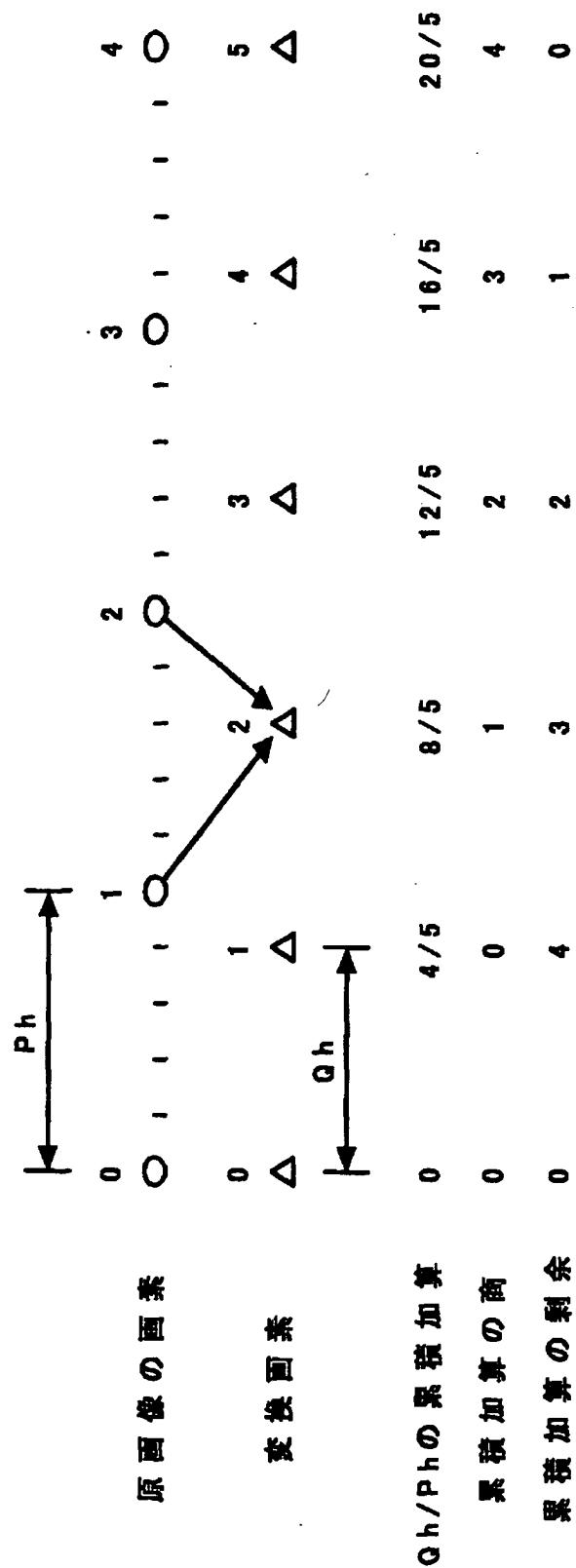
【図4】



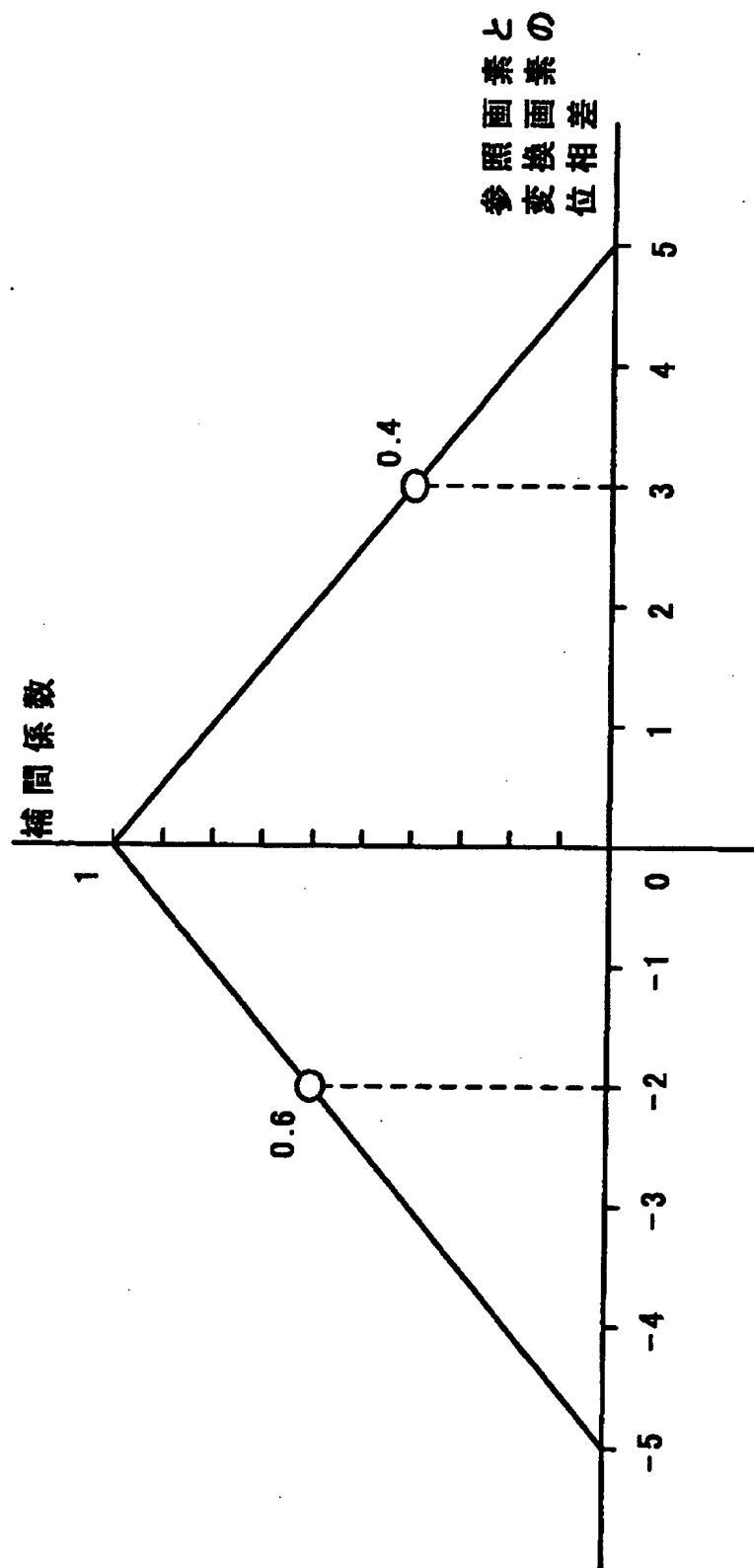
【図5】



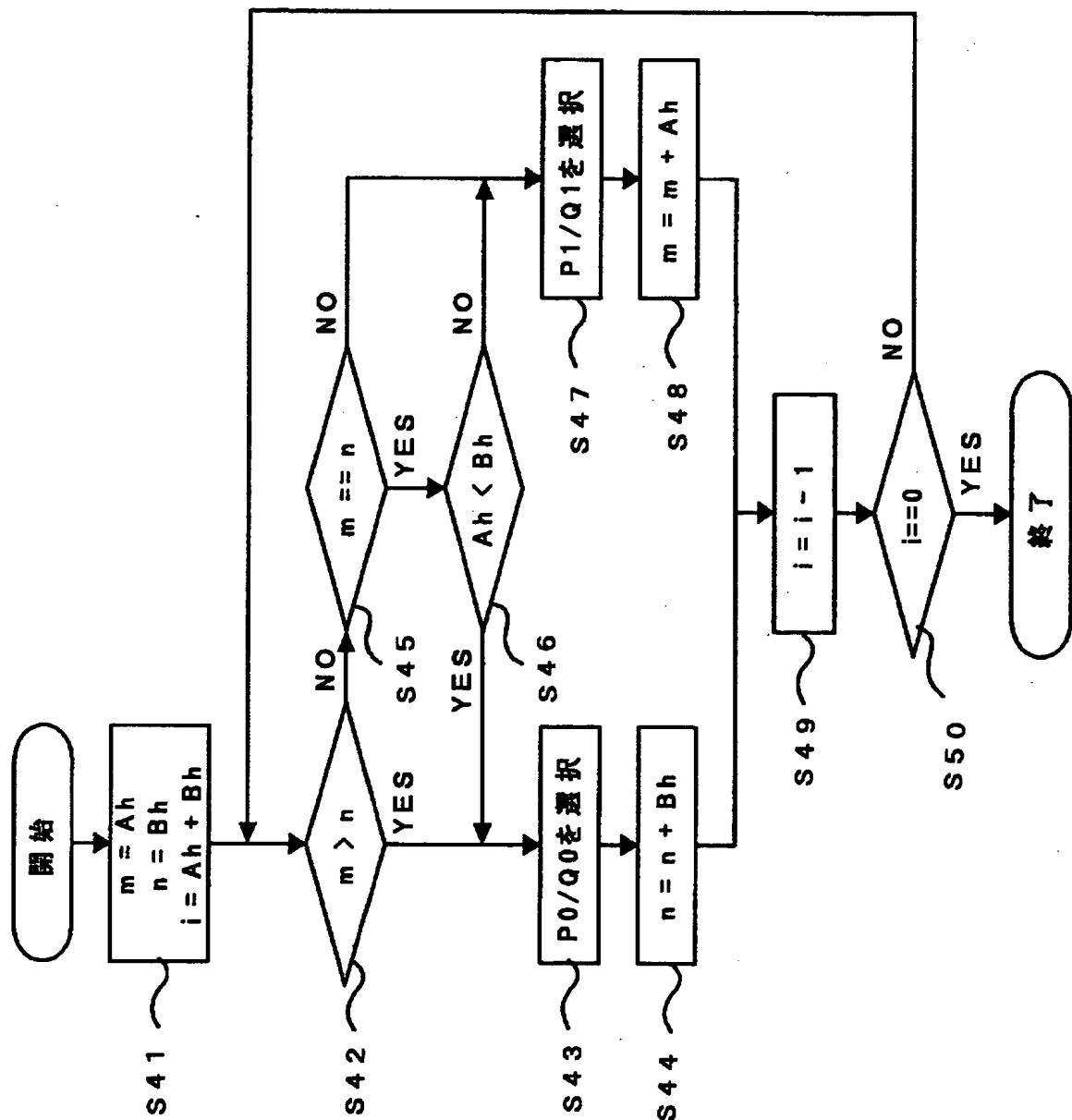
【図6】



【図7】



【図8】

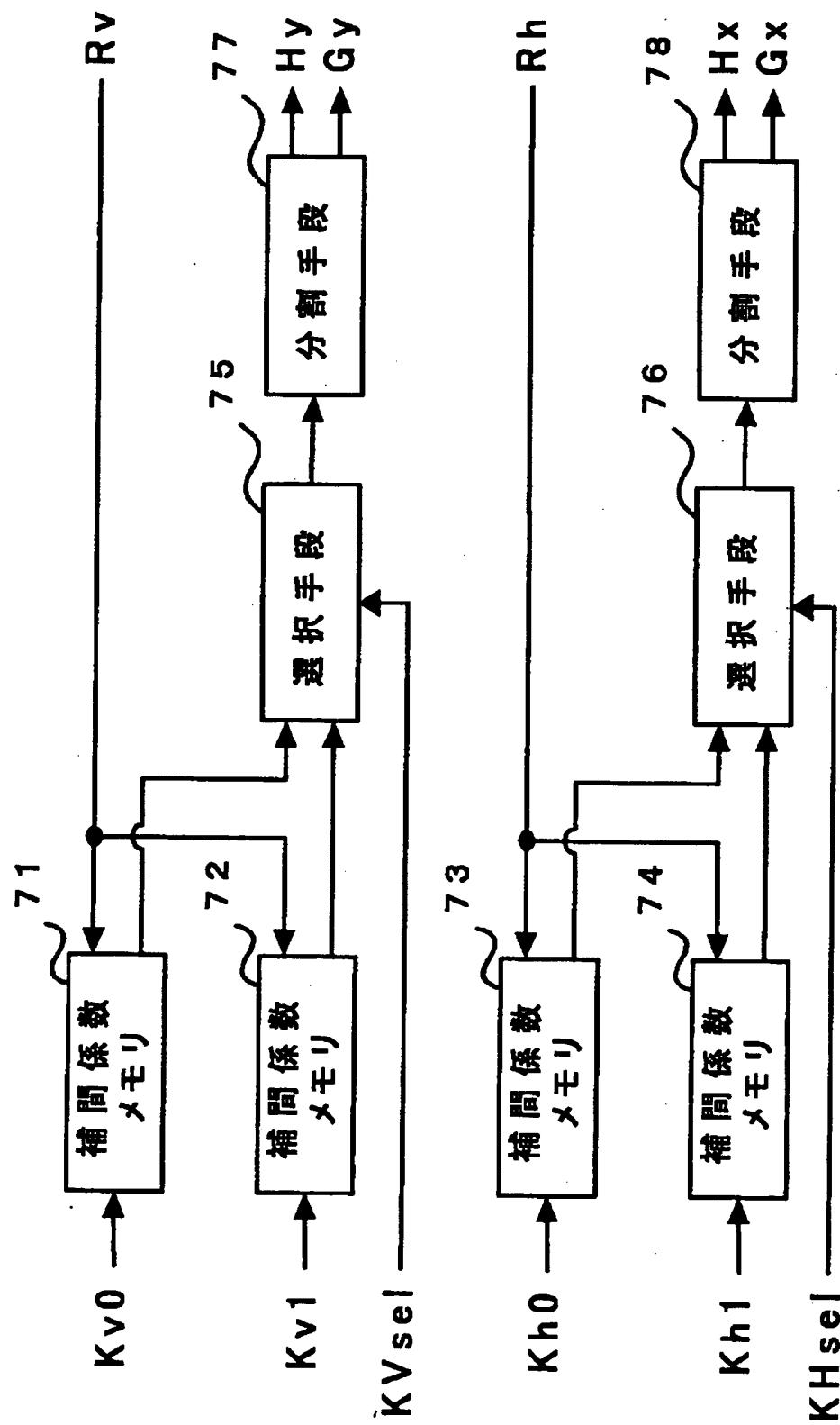


【図9】

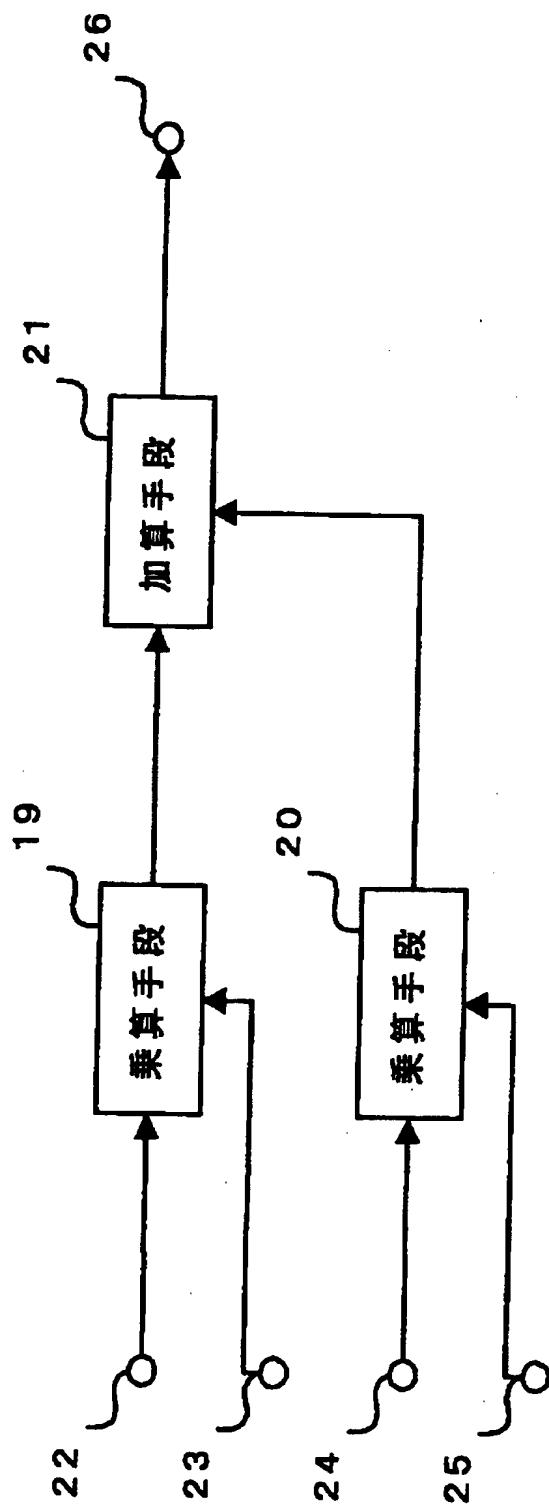
i	m	n	選択される 変換率
19	4	15	4/7
18	8	15	4/7
17	12	15	4/7
16	16	15	4/7
15	16	30	17/30
14	20	30	4/7
13	24	30	4/7
12	28	30	4/7
11	32	30	4/7
10	32	45	17/30
9	36	45	4/7
8	40	45	4/7
7	44	45	4/7
6	48	45	4/7
5	48	60	17/30
4	52	60	4/7
3	56	60	4/7
2	60	60	4/7
1	60	75	17/30

$$\begin{aligned}
 P0h/Q0h &= 17/30 \\
 P1h/Q1h &= 4/7 \\
 Ah &= 4 \\
 Bh &= 15
 \end{aligned}$$

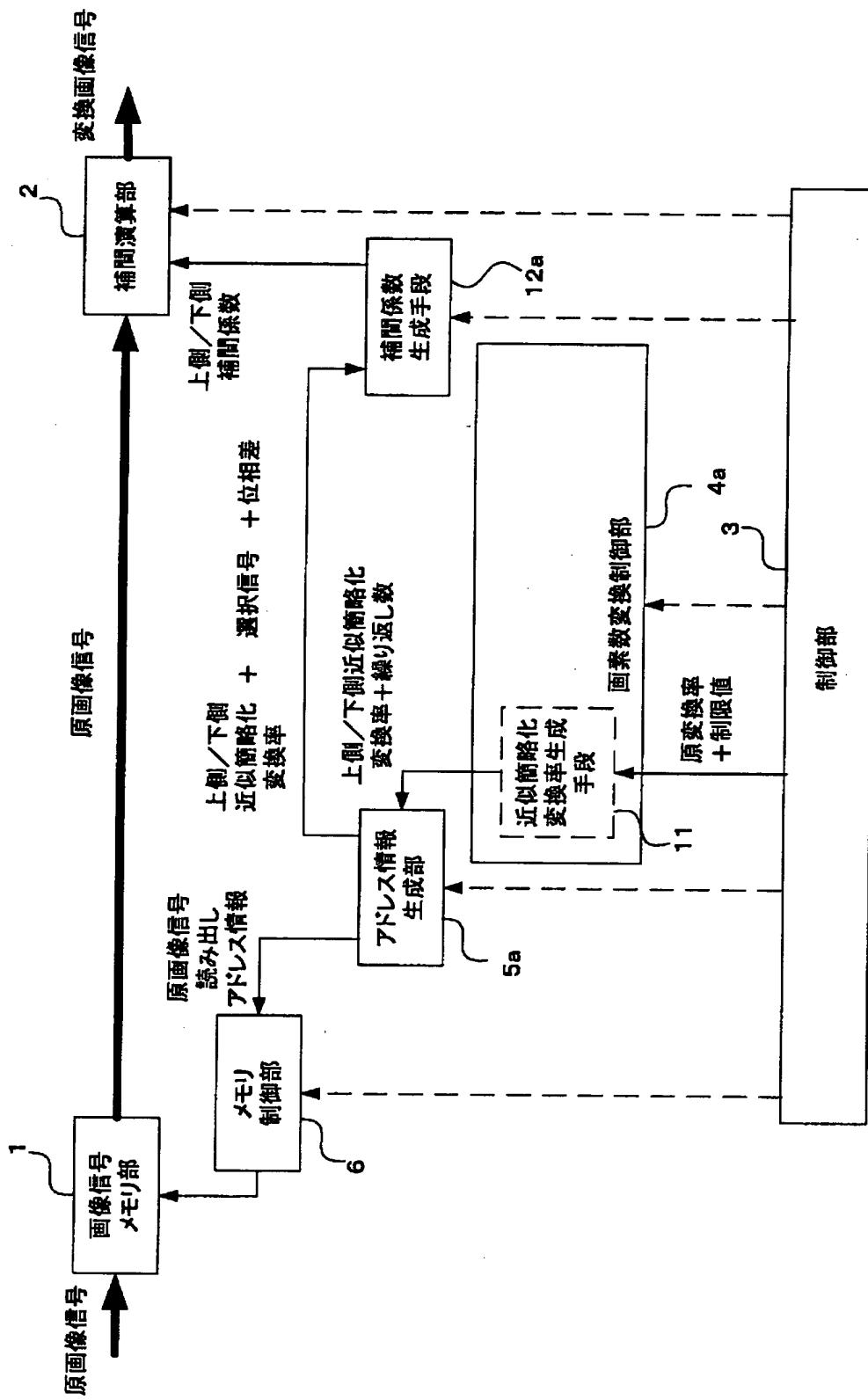
【図10】



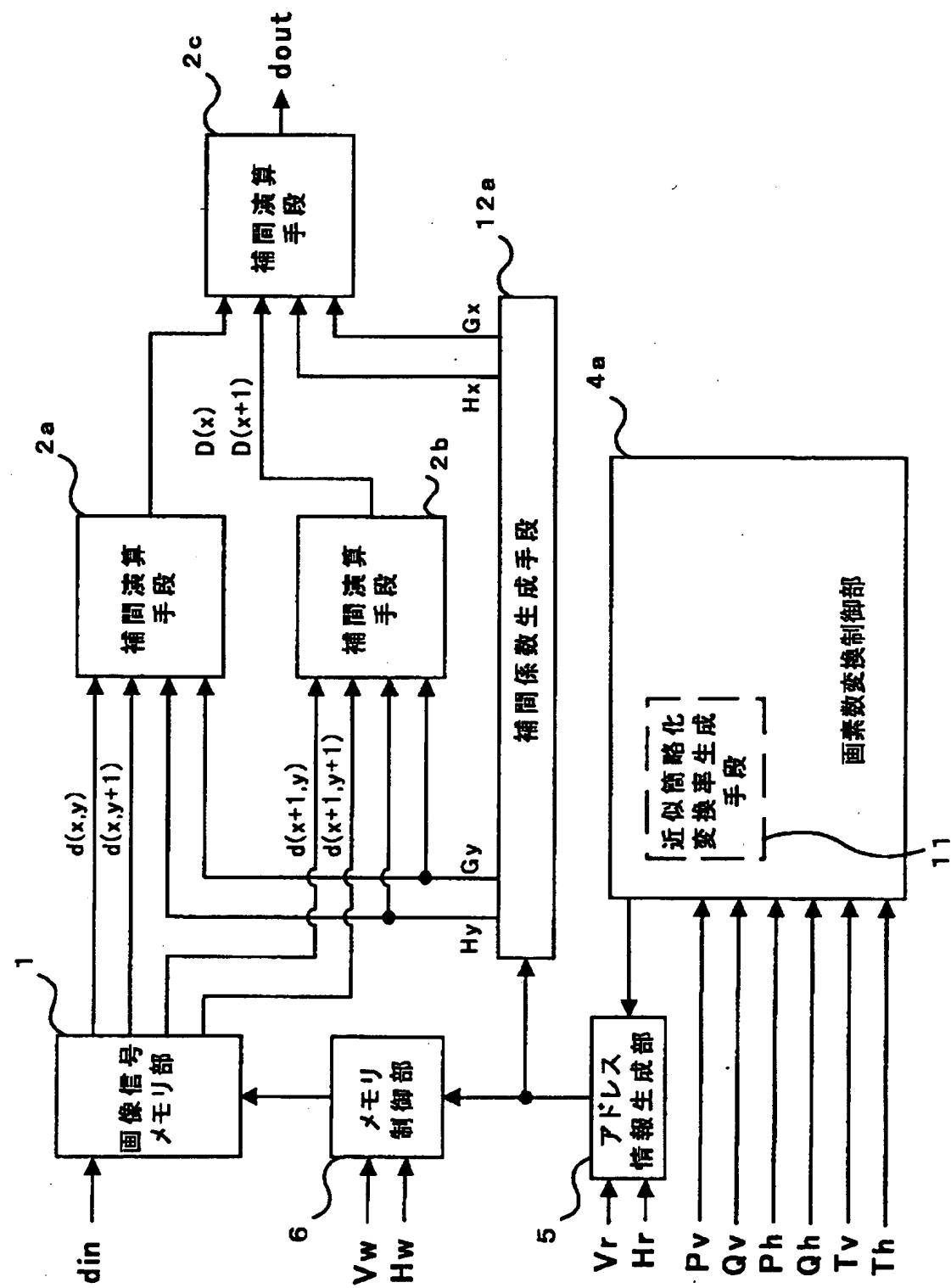
【図11】



【図12】



【図13】



【書類名】 要約書

【要約】

【課題】 画素数変換率 P/Q の分子 P あるいは分母 Q の値が大きな値でも、小さな補間係数メモリで、処理中の画素データの転送量を抑制して画素数変換する画素数変換装置を得る。

【解決手段】 原変換率を、原変換率に近似し且つ原変換率の上位側の変換率の上側近似簡略化変換率と、原変換率に近似し且つ原変換率の下位側の変換率の下側近似簡略化変換率と、両近似簡略化変換率の部分の各繰り返し数を生成する近似簡略化変換率生成手段11と、上側近似簡略化変換率及び下側近似簡略化変換率に基づき上側及び下側の補間係数を生成する補間係数生成手段12と、両近似簡略化変換率に基づいて画像信号メモリ部から読み出す参照画素のアドレス情報と、下側近似簡略化変換率か上側近似簡略化変換率かを選択する選択信号、参照画素と変換画素の位相差を生成するアドレス情報生成部5を備える。

【選択図】 図1

出願人履歴情報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号
氏 名 三菱電機株式会社